



(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
23.06.1999 Patentblatt 1999/25

(51) Int. Cl.⁶: **H01L 27/108, H01L 27/115**

(21) Anmeldenummer: 98120336.7

(22) Anmeldetag: 27.10.1998

(84) Benannte Vertragsstaaten:
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE**
Benannte Erstattungsstaaten:
AL LT LV MK RO SI

(30) Priorität: 17.12.1997 DE 19756183

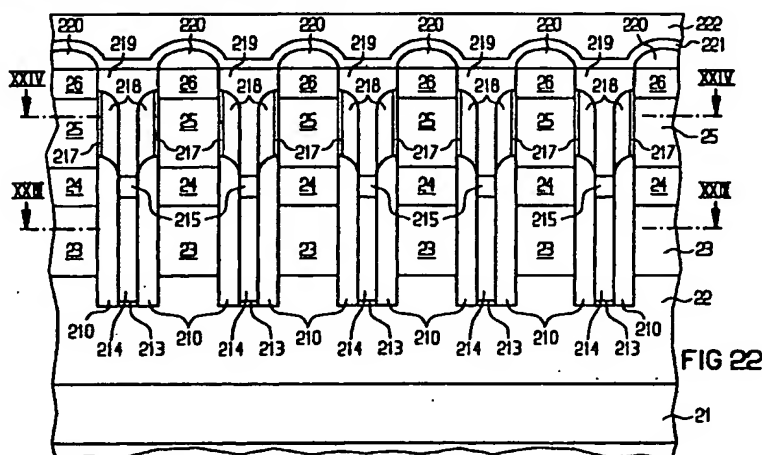
(71) Anmelder:
SIEMENS AKTIENGESELLSCHAFT
80333 München (DE)

(72) Erfinder:
• Hofmann, Franz, Dr.
80995 München (DE)
• Rösner, Wolfgang, Dr.
81739 München (DE)
• Schlösser, Till, Dr.
80339 München (DE)
• Krautschneider, Wolfgang
83104 Hohenthann (DE)
• Risch, Lothar, Dr.
85579 Neubiberg (DE)
• Basse, Paul-Werner, von
82515 Wolfratshausen (DE)

(54) **Speicherzellenanordnung, Verfahren zu deren Herstellung und Verfahren zu deren Betrieb**

(57) Eine Speicherzellenanordnung enthält in einem Halbleitersubstrat eine Vielzahl Speicherzellen, die jeweils mindestens einen Auswahltransistor aufweisen, der zwischen eine Bitleitung und ein Speicherelement geschaltet ist. Die Speicherzellen sind jeweils

über eine erste Wortleitung und eine zweite Wortleitung ansteuerbar, wobei sich die erste Wortleitung und die zweite Wortleitung kreuzen. Die Speicherzellenanordnung ist insbesondere eine DRAM-Anordnung.



Beschreibung

[0001] Speicherzellenanordnungen, insbesondere DRAM-Anordnungen, ROM-Anordnungen, EPROM-Anordnungen und EEPROM-Anordnungen, weisen eine Vielzahl von Speicherzellen auf, die meist matrixförmig angeordnet sind. Die einzelnen Speicherzellen sind dabei jeweils über eine Bitleitung und eine Wortleitung ansteuerbar. Die Speicherzellen weisen jeweils ein Speicherelement auf, in dem Information gespeichert ist. Die Speicherung der Information erfolgt zum Beispiel über eine in einer Speicherkapazität gespeicherte Ladung, über eine auf einem floatenden Gate gespeicherte Ladung, oder über Eigenschaften eines Transistors, zum Beispiel der Einsatzspannung, oder über das Vorhandensein bzw. Nichtvorhandensein einer leitenden Verbindung zur Bitleitung.

[0002] Zum Auslesen der Information werden die einzelnen Speicherzellen sequentiell über die zugehörige Wortleitung und Bitleitung angesteuert und die Information durch Spannungs- oder Strombewertung ausgelesen (siehe zum Beispiel Y. Nakagome et al, IEEE Journal of Solid-State Circuits, Vol. 26, Nr. 4, 1991, Seiten 465 bis 470). Die Strombewertung ist bezüglich der Lesegeschwindigkeit der Spannungsbewertung vorzuziehen, sie erfordert jedoch einen erhöhten Schaltungsaufwand. Zur Beschleunigung des Lesevorgangs werden vielfach mehrere, zum Beispiel 256 Speicherzellen zu einem Zellenblock zusammengefaßt. Die einzelnen Zellenblöcke werden dann parallel ausgelesen. Der Auslesevorgang in dem einzelnen Zellenblock erfolgt jedoch nach wie vor sequentiell.

[0003] In elektrisch beschreibbaren Speicherzellenanordnungen, zum Beispiel DRAM-Anordnungen oder EEPROM-Anordnungen, wird zum Einschreiben von Information die jeweilige Speicherzelle ebenfalls über die zugehörige Bitleitung und die Wortleitung angesteuert. Gleichzeitig wird die Bitleitung mit einem Spannungspegel beaufschlagt, der der einzuschreibenden Information entspricht. Das Einschreiben der Information erfolgt sequentiell in alle Speicherzellen. Dabei muß die Bitleitung jedesmal von einem Spannungszustand zum anderen Spannungszustand umgeladen werden. Dieses ist mit einem Verbrauch elektrischer Leistung verbunden, der insbesondere beim Einsatz der Speicherzellenanordnung in mobilen Geräten wie zum Beispiel Mobiltelefone, Notebook-Computer, Datenbankrechner oder PDA (Personal Digital Assistant) als störend empfunden wird.

[0004] Bei DRAM-Anordnungen tritt darüber hinaus das Problem auf, daß die gespeicherte Information in regelmäßigen Zeitabständen wieder aufgefrischt werden muß. Dazu wird die Information zunächst sequentiell aus den Speicherzellen ausgelesen und anschließend wieder eingeschrieben. Auch hier tritt unerwünschter Leistungsverbrauch auf.

[0005] Ein weiteres Problem bei DRAM-Anordnungen stellt die von Speichergeneration zu Speichergenera-

tion zunehmende Speicherdichte dar. Damit verbunden ist das Erfordernis einer erhöhten Packungsdichte, das heißt einer Verringerung des Platzbedarfs pro Speicherzelle. Aus DE 19 519 160 C1 ist eine DRAM-Zellenanordnung bekannt, die mit einer Speicherzellenfläche von $4F^2$ herstellbar ist, wobei F die in der jeweiligen Technologie minimal herstellbare Strukturgröße ist. Pro Speicherzelle ist dabei ein vertikaler MOS-Transistor vorgesehen, dessen erstes Source/Drain-Gebiet mit einem Speicherknoten eines Speicherkondensators verbunden ist, dessen Kanalgebiet ringförmig von einer Gateelektrode umschlossen wird und dessen zweites Source/Drain-Gebiet mit einer vergrabenen Bitleitung verbunden ist. Die Gateelektroden von entlang einer Wortleitung benachbarten vertikalen MOS-Transistoren grenzen dabei aneinander und bilden gemeinsam die Wortleitung.

[0006] Der Erfindung liegt das Problem zugrunde, eine Speicherzellenanordnung anzugeben, die auf verbesserte Weise ansteuerbar ist. Insbesondere soll die Speicherzellenanordnung mit einer Speicherdichte herstellbar sein, wie sie in den Giga-Bit-Generationen erforderlich ist. Ferner soll ein Herstellverfahren und ein Betriebsverfahren für eine solche Speicherzellenanordnung angegeben werden.

[0007] Dieses Problem wird gelöst durch eine Speicherzellenanordnung gemäß Anspruch 1, ein Verfahren zu deren Herstellung gemäß Anspruch 12 sowie durch Verfahren zu deren Betrieb gemäß Anspruch 19 und 20. Weitere Ausgestaltungen der Erfindung gehen aus den abhängigen Ansprüchen hervor.

[0008] Es ist ein Halbleitersubstrat mit einer Vielzahl Speicherzellen vorgesehen. Die Speicherzellen weisen jeweils mindestens einen in Bezug auf eine Hauptfläche des Halbleitersubstrats vertikalen Auswahltransistor auf, der mit einem Speicherelement verbunden ist. Vorzugsweise ist der Auswahltransistor zwischen eine Bitleitung und das Speicherelement geschaltet. Die Bitleitungen können jedoch auch anders verschaltet sein. Die Speicherzellen sind jeweils über eine erste Wortleitung und eine zweite Wortleitung ansteuerbar, wobei sich die erste Wortleitung und die zweite Wortleitung kreuzen. Die Ansteuerung einer Speicherzelle erfolgt nur über die erste Wortleitung und die zweite Wortleitung. Dadurch können Bitleitungen parallel ausgelesen werden.

[0009] Im Fall einer elektrisch beschreibbaren Speicherzellenanordnung werden die Speicherzellen ebenfalls jeweils über die erste Wortleitung und die zweite Wortleitung angesteuert. Die Bitleitung wird nur zum Anlegen des der Information entsprechenden Spannungspegels und nicht zur Ansteuerung verwendet. Daher können zum Einschreiben einer einem vorgegebenen Spannungspegel entsprechenden Information alle Bitleitungen mit dem vorgegebenen Spannungspegel beaufschlagt werden. Über die ersten Wortleitungen und die zweiten Wortleitungen werden diejenigen Speicherzellen angesteuert, in denen die zugehörige Infor-

mation gespeichert werden soll. Diese wird in einem Takt in alle entsprechenden Speicherzellen eingeschrieben. Zum Einschreiben einer digitalen Information sind daher zwei Vorgänge ausreichend: erstens paralleles Einschreiben einer „Eins“ und zweitens paralleles Einschreiben einer „Null“. Dadurch beschleunigt sich der Schreibvorgang erheblich im Vergleich zum Stand der Technik. Darüber hinaus muß die Bitleitung nur so oft umgeladen werden, wie es der Anzahl der unterschiedlichen Informationen entspricht. Im Fall einer digitalen Information muß die Bitleitung nur zweimal umgeladen werden. Dadurch wird der Leistungsverbrauch reduziert.

[0010] Im Fall einer DRAM-Anordnung wird dieses auch für das Auffrischen der Information (refresh) ausgenutzt. Vorzugsweise wird dabei die gespeicherte Information über ein Schieberegister ausgelesen. Das im Schieberegister gespeicherte Datenwort wird nachfolgend zur Ansteuerung der ersten Wortleitungen und der zweiten Wortleitungen verwendet, wobei die Bitleitung auf die jeweiligen Spannungspegel gelegt wird.

[0011] Bedingt durch die im Vergleich zum Stand der Technik wesentlich geringere Anzahl von erforderlichen Umladevorgängen der Bitleitung wird der Leistungsverbrauch beim Einschreiben sowie beim Auffrischen von Information deutlich verringert.

[0012] Als Halbleitersubstrat ist insbesondere eine monokristalline Siliziumscheibe oder die monokristalline Siliziumschicht eines SOI-Substrats geeignet.

[0013] Als Speicherelement sind alle in Speicherzellenanordnungen üblicherweise verwendeten Speicherelemente geeignet. Insbesondere sind Speicherelemente geeignet, die MOS-Transistoren mit unterschiedlichen elektrischen Eigenschaften aufweisen, wie sie vielfach in ROM-Anordnungen verwendet werden, Leitungsunterbrechungen, wie sie in ROM-Anordnungen verwendet werden, Schmelzsicherungen (sogenannten fuses), MOS-Transistoren mit floatendem Gate sowie Speicherkapazitäten geeignet.

[0014] Es liegt im Rahmen der Erfindung, die Speicherzellenanordnung als DRAM-Anordnung auszugestalten. In diesem Fall ist sowohl der Vorteil des schnelleren Datenzugriffs beim Lesen und Schreiben von Information als auch der Vorteil des geringeren Leistungsverbrauchs beim Schreiben und Auffrischen der Information nutzbar. In der DRAM-Anordnung ist das Speicherelement vorzugsweise als Speicherkapazität ausgestaltet, die sowohl im Halbleitersubstrat, insbesondere als Grabenkondensator, als auch an der Hauptfläche des Halbleitersubstrats bzw. oberhalb der Hauptfläche des Halbleitersubstrats, insbesondere als Stapelkondensator, realisiert sein kann. Als Kondensatordielektrikum sind die üblichen Speicherdielektrika geeignet, insbesondere Siliziumoxid, Kombinationen aus Siliziumoxid und Siliziumnitrid oder Hochepsilon-Dielektrika wie zum Beispiel BST (Barium-Strontium-Titanat), Ta_2O_5 oder SBT (Strontium-Wismuth-Tantalat).

[0015] Gemäß einer Ausgestaltung der Erfindung werden mehrere der Speicherzellen zu einem Zellenblock zusammengefaßt. Die Speicherzellen jedes Zellenblocks sind mit einer gemeinsamen Bitleitung verbunden. Dieses hat den Vorteil, daß der Bitleitungs-widerstand reduziert wird. Ferner ergeben sich dadurch neue Freiheiten für das Design des Leseverstärkers.

[0016] Es liegt im Rahmen der Erfindung, daß die Speicherzellen jeweils einen ersten Auswahltransistor und einen zweiten Auswahltransistor aufweisen, die in Reihe zwischen die Bitleitung und das Speicherelement geschaltet sind. Dabei ist der erste Auswahltransistor von der ersten Wortleitung und der zweite Auswahltransistor von der zweiten Wortleitung ansteuerbar. Dabei können im Hinblick auf eine erhöhte Packungsdichte benachbarte Speicherzellen jeweils einen gemeinsamen ersten Auswahltransistor und eine gemeinsame erste Wortleitung aufweisen. Die benachbarten Speicherzellen weisen unterschiedliche zweite Auswahltransistoren und unterschiedliche zweite Wortleitungen auf. Sie sind dann jeweils über die gemeinsame erste Wortleitung und die unterschiedlichen zweiten Wortleitungen ansteuerbar.

[0017] Gemäß einer Ausgestaltung der Erfindung sind zwei benachbarte Speicherzellen mit einem gemeinsamen ersten Auswahltransistor und unterschiedlichen zweiten Auswahltransistoren in einer Halbleitersäule angeordnet. Die Halbleitersäule grenzt an die Hauptfläche des Halbleitersubstrats an und weist Flanken auf, die die Hauptfläche des Halbleitersubstrats kreuzen. Sie wird insbesondere durch im wesentlichen parallel verlaufende erste Gräben und im wesentlichen parallel verlaufende zweite Gräben, die einander kreuzen, definiert. Der gemeinsame erste Auswahltransistor ist als vertikaler MOS-Transistor ausgebildet, dessen Gateelektrode an mindestens einer Flanke der Halbleitersäule angeordnet ist. Im Bereich der Hauptfläche sind die zweiten Auswahltransistoren der beiden benachbarten Speicherzellen als planare MOS-Transistoren angeordnet. Die Gateelektroden der zweiten Auswahltransistoren befinden sich jeweils oberhalb der Hauptfläche der Halbleitersäule. Sie sind Bestandteil der unterschiedlichen zweiten Wortleitungen. Die Gateelektrode des gemeinsamen ersten Auswahltransistors ist Bestandteil der ersten Wortleitung. Die benachbarten Speicherzellen sind in einer Halbleitersäule angeordnet.

[0018] In dieser Ausgestaltung der Erfindung ist es vorteilhaft, die erste Gateelektrode des gemeinsamen ersten Auswahltransistors ringförmig auszubilden, so daß diese die Halbleitersäule umgibt. Werden die Halbleitersäulen von entlang einer der ersten Wortleitungen benachbarten Speicherzellenpaaren so angeordnet, daß ihr Abstand geringer ist als die Dicke der ersten Gateelektroden parallel zur Hauptfläche, so grenzen die ersten Gateelektroden benachbarter Halbleitersäulen aneinander an und bilden auf diese Weise die erste Wortleitung. Quer zur ersten Wortleitung ist der

Abstand benachbarter Halbleitersäulen größer als die doppelte Dicke der ersten Gateelektroden parallel zur Hauptfläche. Die erste Wortleitung läßt sich in diesem Fall durch selbstjustierende Prozeßschritte, das heißt ohne Einsatz von zu justierenden Masken herstellen.

[0019] Es liegt ferner im Rahmen der Erfindung, den ersten Auswahltransistor und den zweiten Auswahltransistor jeweils entlang mindestens einer Flanke einer Halbleitersäule anzuordnen, die an die Hauptfläche des Halbleitersubstrats angrenzt und die die Hauptfläche kreuzende Flanken aufweist. Der erste Auswahltransistor und der zweite Auswahltransistor sind dabei übereinander angeordnet. Eine erste Gateelektrode des ersten Auswahltransistors und eine zweite Gateelektrode des zweiten Auswahltransistors grenzen dabei an die jeweilige Flanke der Halbleitersäule an.

[0020] Es liegt im Rahmen der Erfindung, daß in dieser Ausgestaltung die erste Gateelektrode und die zweite Gateelektrode die Halbleitersäule jeweils ringförmig umgibt. Vorzugsweise wird diese Ausgestaltung dadurch hergestellt, daß in der Hauptfläche des Halbleitersubstrats erste Gräben und zweite Gräben geätzt werden. Die ersten Gräben verlaufen untereinander jeweils im wesentlichen parallel. Die zweiten Gräben verlaufen untereinander ebenfalls im wesentlichen parallel. Die ersten Gräben und die zweiten Gräben kreuzen einander. Je zwei benachbarte erste Gräben und zweite Gräben definieren dabei eine der Halbleitersäulen. Vor der Herstellung der ersten Gateelektroden wird der Querschnitt der Halbleitersäulen durch mindestens eine Hilfsstruktur vergrößert, so daß der Abstand benachbarter Halbleitersäulen in Richtung der ersten Wortleitungen geringer als in Richtung der zweiten Wortleitungen ist. Im Bereich der zweiten Wortleitungen wird mit Hilfe mindestens einer zweiten Hilfsstruktur der Querschnitt der Halbleitersäulen so vergrößert, daß im Bereich der zweiten Wortleitungen der Abstand zwischen benachbarten Halbleitersäulen in Richtung der zweiten Wortleitungen geringer ist als in Richtung der ersten Wortleitungen. Die ersten Wortleitungen und die zweiten Wortleitungen werden dann selbstjustiert zum Beispiel durch Abscheidung einer Schicht und anisotropes Rückätzen der Schicht im Sinne einer Spacerbildung hergestellt. Da der Abstand benachbarter Halbleitersäulen in der einen Richtung geringer als in der anderen Richtung ist, grenzen benachbarte Gateelektroden in der Richtung mit geringerem Abstand aneinander an, während sie in der Richtung mit dem größeren Abstand voneinander beabstandet sind. Auf diese Weise entstehen kettenartige Leitungen, die parallel zueinander verlaufen. In dieser Ausgestaltung weist jede Halbleitersäule eine Speicherzelle auf.

[0021] Es liegt im Rahmen der Erfindung, daß die Speicherzellen jeweils nur einen Auswahltransistor aufweisen, der über die erste Wortleitung und die zweite Wortleitung ansteuerbar ist. Der Auswahltransistor ist insbesondere als MOS-Transistor realisiert, der zwischen Source- und Draingebiet zwei Gateelektroden,

die Teil der ersten Wortleitung bzw. Teil der zweiten Wortleitung sind, aufweist. Dabei wird ausgenutzt, daß das Streufeld der ersten Wortleitung und das Streufeld der zweiten Wortleitung überlappen, so daß durch Ansteuerung über die erste Wortleitung und die zweite Wortleitung ein durchgehender leitfähiger Kanal einschaltbar ist. In Bezug auf die erzielbare Packungsdichte ist es dabei vorteilhaft, den Auswahltransistor an den Flanken einer Halbleitersäule, die durch benachbarte erste Gräben und zweite Gräben, die sich kreuzen, begrenzt wird, anzuordnen und die erste Wortleitung und die zweite Wortleitung an Flanken der Halbleitersäule übereinander anzuordnen. Beträgt die Breite und der gegenseitige Abstand der ersten Gräben sowie der zweiten Gräben jeweils eine minimal herstellbare Strukturgröße F , so läßt sich die Speicherzellenanordnung mit einem Flächenbedarf pro Speicherzelle von $4F^2$ realisieren.

[0022] Die Halbleitersäulen können sowohl durch Ätzen der Gräben in einem Halbleitersubstrat als auch durch selektive Epitaxie innerhalb von Öffnungen einer gitterförmigen Isolationsstruktur gebildet werden. Die gitterförmige Isolationsstruktur definiert im zweiten Fall den Verlauf der Gräben.

[0023] Da jede Speicherzelle über die erste und die zweite Wortleitung ansteuerbar ist, läßt sich die Speicherzellenanordnung durch entsprechende Ansteuerung der ersten und zweiten Wortleitungen im Sinne einer Folded-Bitline-Architektur betreiben.

[0024] Im folgenden werden Ausführungsbeispiele der Erfindung, die in den Figuren dargestellt sind, näher erläutert.

Figur 1 zeigt einen Schnitt durch ein Halbleitersubstrat mit einer ersten Grabenmaske.

Figur 2 zeigt den Schnitt durch das Halbleitersubstrat nach einer ersten Grabenätzung.

Figur 3 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung einer zweiten Grabenmaske.

Figur 4 zeigt den in Figur 3 mit IV-IV bezeichneten Schnitt. Der in Figur 3 gezeichnete Schnitt ist in Figur 4 mit III-III bezeichnet.

Figur 5 zeigt den in Figur 4 dargestellten Schnitt nach einer zweiten Grabenätzung.

Figur 6 zeigt den in Figur 3 dargestellten Schnitt nach Bildung einer ersten dielektrischen Schicht und einer ersten leitfähigen Schicht.

Figur 7 zeigt den in Figur 6 mit VII-VII bezeichneten Schnitt. Der in Figur 6 dargestellte Schnitt ist in Figur 7 mit VI-VI bezeichnet.

- Figur 8 zeigt den in Figur 6 dargestellten Schnitt durch das Halbleitersubstrat nach Bildung erster Wortleitungen, einer zweiten dielektrischen Schicht und zweiter Wortleitungen.
- Figur 9 zeigt den in Figur 8 mit IX-IX bezeichneten Schnitt. In Figur 9 ist der in Figur 8 dargestellte Schnitt mit VIII-VIII bezeichnet.
- Figur 10 zeigt den in Figur 8 dargestellten Schnitt nach Bildung von ersten n^+ -dotierten Gebieten und zweiten n^+ -dotierten Gebieten sowie nach Abscheidung einer Zwischenoxidschicht, Öffnung von Kontakten, nach Bildung eines Kondensatordielektrikums und einer Kondensatorplatte.
- Figur 11 zeigt den in Figur 10 mit XI-XI bezeichneten Schnitt. In Figur 11 ist der in Figur 10 dargestellte Schnitt mit X-X bezeichnet.
- Figur 12 zeigt den in Figur 10 und Figur 11 mit XII-XII bezeichneten Schnitt. Die in Figur 10 und Figur 11 dargestellten Schnitte sind mit X-X bzw. XI-XI bezeichnet.
- Figur 13 zeigt einen Schnitt durch ein Halbleitersubstrat nach Bildung erster Gräben.
- Figur 14 zeigt den in Figur 13 dargestellten Schnitt durch das Halbleitersubstrat nach Bildung von Nitridspacern an den Flanken der ersten Gräben und Auffüllen der ersten Gräben mit einer SiO_2 -Struktur.
- Figur 15 zeigt den in Figur 14 mit XV-XV bezeichneten Schnitt durch das Halbleitersubstrat nach Bildung zweiter Gräben. Der in Figur 14 dargestellte Schnitt ist mit XIV-XIV bezeichnet.
- Figur 16 zeigt den in Figur 14 gezeigten Schnitt durch das Halbleitersubstrat nach Bildung eines ersten Gatedielektrikums und erster Wortleitungen, die mit einer zweiten Isolationsstruktur bedeckt sind.
- Figur 17 zeigt den in Figur 16 mit XVII-XVII bezeichneten Schnitt durch das Halbleitersubstrat. Der in Figur 16 dargestellte Schnitt durch das Halbleitersubstrat ist in Figur 17 mit XVI-XVI bezeichnet.
- Figur 18 zeigt den in Figur 16 dargestellten Schnitt nach einer selektiven Epitaxie zur Bildung einer zweiten Hilfsstruktur.
- Figur 19 zeigt den in Figur 18 mit XIX-XIX bezeichneten Schnitt. In Figur 19 ist der in Figur 18 dargestellte Schnitt mit XVIII-XVIII bezeichnet.
- Figur 20 zeigt den in Figur 18 dargestellten Schnitt nach Rückätzen der ersten Hilfsstrukturen, Bilden eines zweiten Gatedielektrikums, zweiter Wortleitungen und einer dritten Isolationsstruktur sowie nach einer Implantation.
- Figur 21 zeigt den in Figur 20 mit XXI-XXI bezeichneten Schnitt. In Figur 21 ist mit XX-XX der in Figur 20 dargestellte Schnitt eingetragen.
- Figur 22 zeigt den in Figur 20 dargestellten Schnitt nach Bildung eines Kondensatordielektrikums und einer Kondensatorplatte.
- Figur 23 zeigt den in Figur 22 mit XXIII-XXIII bezeichneten Schnitt.
- Figur 24 zeigt den in Figur 22 mit XIV-XIV bezeichneten Schnitt.
- Figur 25 zeigt eine Schaltung zum Einschreiben von Information in eine Speicherzellenanordnung mit ersten Wortleitungen und zweiten Wortleitungen.
- Figur 26 zeigt eine Schaltung zum Auslesen einer Speicherzellenanordnung mit ersten Wortleitungen und zweiten Wortleitungen und streifenförmigen, vergrabenen Bitleitungen.
- [0025] Die Darstellungen in den Figuren sind nicht maßstabsgerecht.
- [0026] Ein Halbleitersubstrat, das mindestens im Bereich einer Hauptfläche 11 monokristallines Silizium aufweist, umfaßt einen p-dotierten Substratkörper 12, eine darauf angeordnete n^+ -dotierte Siliziumschicht 13, eine darauf angeordnete erste p-dotierte Schicht 14 und eine darauf angeordnete zweite p-dotierte Siliziumschicht 15 (siehe Figur 1). Der p-dotierte Substratkörper 12 weist eine Dotierstoffkonzentration von 10^{16} cm^{-3} auf. Die n^+ -dotierte Siliziumschicht 13 ist durch epitaktisches Aufwachsen in einer Dicke von 500 nm erzeugt. Sie weist eine Dotierstoffkonzentration von 10^{20} cm^{-3} auf. Die erste p-dotierte Siliziumschicht 14 und die zweite p-dotierte Siliziumschicht 15 sind epitaktisch aufgewachsen und weisen gemeinsam eine Dicke von 500 nm auf. Die erste p-dotierte Siliziumschicht 14 weist eine Dicke von 200 nm und eine Dotierstoffkonzentration von 10^{17} cm^{-3} auf. Die zweite p-dotierte Siliziumschicht 15 weist eine Dicke von 300 nm und eine

Dotierstoffkonzentration von 10^{16} cm^{-3} auf.

[0027] Anschließend wird auf der Hauptfläche 11 eine erste Grabenmaske 16 durch Abscheidung und Strukturierung einer SiO_2 -Schicht gebildet. Die SiO_2 -Schicht wird in einem TEOS-Verfahren in einer Schichtdicke von 150 nm abgeschieden und mit Hilfe einer Photolackmaske durch Trockenätzen mit CHF_3 , O_2 strukturiert. Die erste Grabenmaske 16 weist streifenförmige Öffnungen auf, die eine Breite von 250 nm und einen gegenseitigen Abstand von 250 nm haben. Die Breite und der Abstand entsprechen jeweils einer in der verwendeten Technologie minimal herstellbaren Strukturgröße F.

[0028] Nach Entfernen der Photolackmaske, die zur Bildung der ersten Grabenmaske 16 verwendet wurde, werden erste Gräben 17 geätzt, wobei die erste Grabenmaske 16 als Ätzmaske in einem Trockenätzprozeß mit HBr , He , O_2 , NF_3 verwendet wird. Anschließend wird die erste Grabenmaske 16 naßchemisch zum Beispiel mit HF entfernt (siehe Figur 2). Die Tiefe der ersten Gräben 17 beträgt 1100 nm. Damit reichen die ersten Gräben 17 bis in den p-dotierten Substratkörper 12 hinein. Aus der n⁺-dotierten Siliziumschicht 13 werden dabei streifenförmige Bitleitungen 13' gebildet.

[0029] Nachfolgend wird eine SiO_2 -Schicht 18 abgeschieden, die die ersten Gräben 17 vollständig auffüllt. Die SiO_2 -Schicht 18 wird in einem TEOS-Verfahren in einer Schichtdicke von 200 nm abgeschieden (siehe Figur 3). Auf der Oberfläche der SiO_2 -Schicht 18 wird eine Photolackmaske 19 gebildet, die streifenförmige Öffnungen aufweist. Die streifenförmigen Öffnungen der Photolackmaske 19 verlaufen quer zu den ersten Gräben 17 (siehe Figur 3 und Figur 4). Die streifenförmigen Öffnungen in der Photolackmaske 19 weisen eine Breite von 250 nm und einen gegenseitigen Abstand von 1250 nm auf.

[0030] Durch Trockenätzen mit Ar , CF_4 , CHF_3 , N_2 , He wird aus der SiO_2 -Schicht 18 eine zweite Grabenmaske 18' gebildet. Nachfolgend wird die Photolackmaske 19 entfernt. Beim Strukturieren der zweiten Grabenmaske 18' bleiben die ersten Gräben 17 mit SiO_2 gefüllt. Durch Abscheiden einer SiO_2 -Schicht in einem TEOS-Verfahren in einer Schichtdicke von 80 nm und anisotropes Ätzen mit CHF_3 , O_2 werden an zur Hauptfläche 11 senkrechten Flanken der zweiten Grabenmaske 18' SiO_2 -Spacer 19 gebildet (siehe Figur 5).

[0031] Unter Verwendung der zweiten Grabenmaske 18' und der SiO_2 -Spacer 19 werden durch anisotropes Trockenätzen zweite Gräben 110 gebildet (siehe Figur 5). Die zweiten Gräben 110 werden in einer Tiefe von 500 nm geätzt. Sie reichen bis in die Bitleitungen 13' hinein, ohne die Bitleitungen 13' jedoch zu durchtrennen. Die zweiten Gräben 110 müssen so tief sein, daß die erste p-dotierte Siliziumschicht 14 sicher durchtrennt ist. Die Weite der zweiten Gräben 110 beträgt 90 nm. Sie ist im Vergleich zur Weite der streifenförmigen Öffnungen in der zweiten Grabenmaske 18' um die Breite der SiO_2 -Spacer 19 reduziert.

[0032] Durch anisotropes Ätzen mit CHF_3 , O_2 werden anschließend die SiO_2 -Spacer 190 und der obere Bereich der zweiten Grabenmaske 18' selektiv zu Silizium geätzt. Dabei wird der in den ersten Gräben 17 befindliche Teil der zweiten Grabenmaske 18' soweit geätzt, daß in den Gräben 17 erste Isolationsstrukturen 18'' aus der zweiten Grabenmaske 18' gebildet werden (siehe Figur 6 und Figur 7). Die ersten Isolationsstrukturen 18'' bedecken den Boden der ersten Gräben und reichen bis in den oberen Bereich der Bitleitungen 13'. Die Flanken der ersten p-dotierten Siliziumschicht 14, der zweiten p-dotierten Siliziumschicht 15 und im oberen Bereich der Bitleitungen 13' werden dabei freigelegt. Die Höhe der ersten Isolationsstrukturen 18'' beträgt etwa 500 nm.

[0033] Durch thermische Oxidation wird eine erste dielektrische Schicht 111 aus SiO_2 in einer Schichtdicke von 5 nm gebildet. Auf die erste dielektrische Schicht 111 wird eine leitfähige Schicht 112 aufgebracht. Die leitfähige Schicht 112 wird aus in situ dotiertem Polysilizium in einer Schichtdicke von 80 nm gebildet. Als Dotierstoff wird Phosphor verwendet. Die Dotierstoffkonzentration beträgt 10^{21} cm^{-3} . Die leitfähige Schicht 112 füllt die zweiten Gräben 110 vollständig auf. Die ersten Gräben 17 werden von der leitfähigen Schicht 112 nicht aufgefüllt (siehe Figur 6 und Figur 7).

[0034] Durch anisotropes Ätzen mit He , HBr , Cl_2 , C_2F_6 wird die leitfähige Schicht 112 selektiv zur ersten dielektrischen Schicht 111 geätzt. Dabei wird die leitfähige Schicht 112 bis in eine Tiefe von 200 nm unterhalb der Hauptfläche 11 entfernt. Dabei werden aus der leitfähigen Schicht 112 erste Wortleitungen 112' gebildet. Die Höhe der ersten Wortleitungen 112' wird so bemessen, daß sie den Bereich, in dem die erste dielektrische Schicht 111 die Flanken der ersten p-dotierten Siliziumschicht 14 bedeckt, sicher überdeckt. Die Wortleitung 112' wird aus ringförmigen Elementen gebildet, die jeweils eine der Halbleitersäulen umgeben. In Richtung der ersten Gräben 17 benachbarte ringförmige Elemente grenzen dabei aneinander (siehe Figur 8 und Figur 9). Durch Abscheiden und Rückätzen einer SiO_2 -Schicht werden die ersten Gräben 17 und die zweiten Gräben 110 mit einer zweiten Isolationsstruktur 113 aufgefüllt. Die SiO_2 -Schicht wird in einem TEOS-Verfahren in einer Schichtdicke von 200 nm abgeschieden. Das Rückätzen erfolgt mit CHF_3 , O_2 . Bei der Bildung der zweiten Isolationsstruktur 113 wird die Hauptfläche 11 außerhalb der ersten Gräben 17 und der zweiten Gräben 110 freigelegt.

[0035] Durch thermische Oxidation wird eine zweite dielektrische Schicht 114 aus SiO_2 in einer Schichtdicke von 5 nm gebildet. Auf der zweiten dielektrischen Schicht 114 werden streifenförmige zweite Wortleitungen 115 und darauf streifenförmige Siliziumnitridstrukturen 116 erzeugt (siehe Figur 8 und Figur 9). Die zweiten Wortleitungen 115 verlaufen parallel zu den zweiten Gräben 110. Zur Bildung der zweiten Wortleitungen werden eine zweite leitfähige Schicht und eine

Siliziumnitridschicht abgeschieden und mit Hilfe einer Photolackmaske streifenförmig strukturiert. Dazu wird folgender Ätzprozeß verwendet: CF_4 , O_2 , N_2/He , HBr , Cl_2 , C_2F_6 . Die zweiten Wortleitungen 115 werden in einer Breite von 250 nm, einem Abstand von 250 nm, einer Länge von 200 µm und einer Dicke von 150 nm gebildet. Die zweiten Wortleitungen 115 werden zum Beispiel aus in situ dotiertem Polysilizium gebildet. Als Dotierstoff ist Phosphor geeignet. Die Dotierstoffkonzentration beträgt 10^{21} cm^{-3} . Die streifenförmigen Siliziumnitridstrukturen 116 weisen dieselben Abmessungen wie die zweiten Wortleitungen 115 auf und weisen eine Dicke von 50 nm auf.

[0036] Durch Abscheiden einer Siliziumnitridschicht und anisotropes Ätzen der Siliziumnitridschicht werden an den Flanken der zweiten Wortleitungen 115 Siliziumnitridspacer gebildet. Die Siliziumnitridschicht wird in einem CVD-Verfahren in einer Schichtdicke von 30 nm abgeschieden. Die Ätzung erfolgt mit CF_4 , O_2 , N_2 . Die Ätzung erfolgt selektiv zu SiO_2 .

[0037] Unter Verwendung einer Photolackmaske (nicht dargestellt) als Implantationsmaske werden nachfolgend erste n⁺-dotierte Gebiete 118 gebildet. Die ersten n⁺-dotierten Gebiete 118 sind jeweils zwischen benachbarten ersten Gräben 17 angeordnet, grenzen an die Hauptfläche 11 und grenzen an die Grenzfläche zur ersten p-dotierten Siliziumschicht 14 an. In jeder Halbleitersäule, die durch jeweils benachbarte erste Gräben 17 und zweite Gräben 110 definiert wird, ist ein erstes n⁺-dotiertes Gebiet 118 vorgesehen. Es befindet sich in etwa in der Mitte zwischen benachbarten zweiten Gräben 110 (siehe Figur 10 und Figur 11). Die ersten n⁺-dotierten Gebiete 118 weisen eine Dotierstoffkonzentration von 10^{21} cm^{-3} auf und eine Tiefe von 300 nm. Die Implantation erfolgt mit Phosphor oder mit Arsen.

[0038] Nach Entfernen der Photolackmaske wird eine weitere Photolackmaske (nicht dargestellt) gebildet, die als Implantationsmaske zur Bildung zweiter n⁺-dotierter Gebiete 119 verwendet wird. In jeder Halbleitersäule werden zwei n⁺-dotierte Gebiete 119 gebildet, die beiderseits des jeweiligen ersten n⁺-dotierten Gebietes 118 zwischen benachbarten zweiten Gräben 110 angeordnet sind. Zwischen dem zweiten n⁺-dotierten Gebiet 119 und dem ersten n⁺-dotierten Gebiet 118 grenzt jeweils die zweite p-dotierte Siliziumschicht 15 an die Hauptfläche 11 an. Die Tiefe der zweiten n⁺-dotierten Gebiete 119 beträgt 100 nm. Sie ist geringer als die Dicke der zweiten dotierten Siliziumschicht 15. Die Implantation erfolgt mit Phosphor. Zwischen dem ersten n⁺-dotierten Gebiet 118 und jedem der zweiten n⁺-dotierten Gebiete 119 verläuft an der Oberfläche der Halbleitersäulen eine der zweiten Wortleitungen 115 (siehe Figur 11). Anschließend wird eine SiO_2 -Schicht 120 abgeschieden und durch chemisch-mechanisches Polieren (CMP) planarisiert. Die planare Oberfläche der SiO_2 -Schicht 120 ist etwa 500 nm oberhalb der Hauptfläche 11 angeordnet.

[0039] Mit einer Photolackmaske und anisotropem Ätzen zum Beispiel mit Ar , CF_4 , CHF_3 werden nachfolgend Kontaktlöcher zu den zweiten n⁺-dotierten Gebieten 119 in der SiO_2 -Schicht 120 geöffnet. Die Kontaktlöcher werden mit Speicherknoten 121 versehen. Dazu wird ganzflächig eine dotierte Polysiliziumschicht abgeschieden und durch chemisch-mechanisches Polieren planarisiert. Die Speicherknoten 121 werden mit Phosphor mit einer Dotierstoffkonzentration von 10^{21} cm^{-3} in situ dotiert.

[0040] Zum Öffnen der Kontaktlöcher für die Speicherknoten 121 ist zwar eine photolithographisch erzeugte Photolackmaske erforderlich. Deren Justierung ist jedoch unkritisch, da die zweiten Wortleitungen 115 vollständig mit Siliziumnitrid bedeckt sind und die Kontaktlochatzung selektiv zu Siliziumnitrid erfolgt und somit eine Dejustage der Photolackmaske unkritisch ist.

[0041] Nachfolgend wird ein Kondensatordielektrikum 122 aus SiO_2 , einer Dreifachschicht aus SiO_2 , Si_3N_4 und SiO_2 oder einer ferroelektrischen Schicht aus BST (Barium-Strontium-Titanat) oder SBT (Strontium-Wismuth-Tantalat) abgeschieden. Das Kondensatordielektrikum 122 wird in einer Schichtdicke von 4 nm abgeschieden. Auf das Kondensatordielektrikum 122 wird eine Kondensatorplatte 123 aus dotiertem Polysilizium aufgebracht. Die Kondensatorplatte 123 wird durch in situ dotierte Abscheidung von Polysilizium mit Phosphor als Dotierstoff und einer Dotierstoffkonzentration von 10^{21} cm^{-3} gebildet.

[0042] In diesem Ausführungsbeispiel umfaßt jede Halbleitersäule, die durch jeweils zwei benachbarte erste Gräben 17 und zweite Gräben 110 definiert ist, zwei Speicherzellen. Diese zwei Speicherzellen weisen einen gemeinsamen ersten Auswahltransistor auf, der aus der Bitleitung 13', dem ersten n⁺-dotierten Gebiet 118 als Source-/Drain-Gebiete und dem dazwischen angeordnete Teil der ersten p-dotierten Siliziumschicht 14 als Kanalgebiet, dem ersten Gatedielektrikum 11' und der ersten Wortleitung 112' gebildet wird. Jede der Speicherzellen weist darüber hinaus einen zweiten Auswahltransistor auf, der jeweils aus dem ersten n⁺-dotierten Gebiet 118 und einem der zweiten n⁺-dotierten Gebiete 119 als Source-/Drain-Gebiete sowie dem dazwischen angeordneten Teil der zweiten p-dotierten Siliziumschicht 15 als Kanalgebiet, der zweiten dielektrischen Schicht 114 als Gatedielektrikum und der oberhalb des Kanalgebiets angeordneten zweiten Wortleitung 115 gebildet wird. Über das erste n⁺-dotierte Gebiet 118 sind die beiden zweiten Auswahltransistoren mit dem gemeinsamen ersten Auswahltransistor in Reihe verschaltet. Die oberhalb der zweiten Gräben 110 angeordneten zweiten Wortleitungen 115 haben in dieser Speicherzellenanordnung keine elektrische Funktion. Ihre Funktion besteht darin, die Kontaktlochatzung für die Speicherknoten 121 selektiv zu Siliziumnitrid zu ermöglichen.

[0043] Die Einsatzspannung des gemeinsamen ersten Auswahltransistors wird über die Dotierung der

ersten p-dotierten Siliziumschicht 14 eingestellt. Die Einsatzspannung der zweiten Auswahltransistoren wird über die Dotierung der zweiten p-dotierten Siliziumschicht 15 eingestellt. Alternativ kann die Einsatzspannung der zweiten Auswahltransistoren durch eine spezielle Kanalimplantation eingestellt werden.

[0044] Die ersten Wortleitungen 112' verlaufen quer zu den zweiten Wortleitungen 115 und weisen ringförmige Elemente auf, die jeweils eine der Halbleitersäulen umgeben (siehe Figur 12).

[0045] Werden die ersten Gräben 17 mit einer Breite von einer minimal herstellbaren Strukturgröße F und einem Abstand von F gebildet und die zweiten Gräben 110 mit einer Breite von F abzüglich der Breite der SiO₂-Spacer 190 und einem Abstand zwischen benachbarten zweiten Gräben 110 von 5F zuzüglich der Breite der SiO₂-Spacer 190 so ergibt sich für jeweils zwei Speicherzellen ein Platzbedarf von 12F². Das heißt, die Speicherzellenanordnung ist mit einem Flächenbedarf pro Speicherzelle von 6F² herstellbar.

[0046] In einem zweiten Ausführungsbeispiel wird ein Halbleitersubstrat verwendet, das ein SOI-Substrat 21 umfaßt, auf das eine erste n⁺-dotierte Siliziumschicht 22, eine erste p-dotierte Siliziumschicht 23, eine zweite n⁺-dotierte Siliziumschicht 24, eine zweite p-dotierte Siliziumschicht 25 und eine dritte n⁺-dotierte Schicht 26 epitaktisch aufgewachsen werden. Die dritte n⁺-dotierte Schicht 26 grenzt an eine Hauptfläche 27 an (siehe Figur 13). Die erste n⁺-dotierte Siliziumschicht 22 wird in einer Schichtdicke von 300 nm mit dem Dotierstoff As und einer Dotierstoffkonzentration von $1 \times 10^{20} \text{ cm}^{-3}$ gebildet. Die erste p-dotierte Siliziumschicht 23 wird in einer Schichtdicke von 200 nm mit einer Dotierstoffkonzentration von $1 \times 10^{18} \text{ cm}^{-3}$ Bor gebildet. Die zweite n⁺-dotierte Schicht 24 wird in einer Schichtdicke von 100 nm mit einer Dotierstoffkonzentration von $1 \times 10^{19} \text{ cm}^{-3}$ und dem Dotierstoff As gebildet. Die zweite p-dotierte Siliziumschicht 25 wird in einer Schichtdicke von 200 nm mit einer Dotierstoffkonzentration von $1 \times 10^{18} \text{ cm}^{-3}$ mit Bor gebildet. Die dritte n⁺-dotierte Schicht 26 wird in einer Schichtdicke von 200 nm mit einer Dotierstoffkonzentration von $1 \times 10^{19} \text{ cm}^{-3}$ mit dem Dotierstoff As gebildet.

[0047] Auf der Hauptfläche 27 wird durch Abscheidung und Strukturierung einer SiO₂-Schicht eine erste Grabenmaske 28 gebildet. Die SiO₂-Schicht wird in einem TEOS-Verfahren in einer Schichtdicke von 150 nm abgeschieden. Unter Verwendung einer Photolackmaske wird sie durch anisotropes Ätzen mit CHF₃, O₂ strukturiert. Nach Entfernen der Photolackmaske werden erste Gräben 29 geätzt. Die ersten Gräben 29 werden durch anisotropes Ätzen mit HBr, He, O₂, NF₃ erzeugt. Die ersten Gräben 29 reichen bis in die erste n⁺-dotierte Siliziumschicht 22 hinein. Die ersten Gräben 29 sind streifenförmig und weisen eine Breite von 200 nm und einen Abstand zwischen benachbarten ersten Gräben 29 von 200 nm auf. Die Länge der ersten Gräben 29 beträgt 5 µm und die Tiefe 800 nm.

[0048] Nach Entfernen der ersten Grabenmaske 28 durch naßchemisches Ätzen mit HF werden an zur Hauptfläche 27 im wesentlichen senkrechten Flanken der ersten Gräben 29 Siliziumnitridspacer 210 gebildet. Dazu wird eine Siliziumnitridschicht in einer Dicke von 70 nm abgeschieden und anisotrop mit CF₄, O₂, N₂ selektiv zu Silizium geätzt. Die Dicke der Nitridschicht entspricht einem Drittel der Weite der ersten Gräben 29.

[0049] Der zwischen den Siliziumspacern 210 verbliebene Zwischenraum wird nachfolgend mit einer ersten Isolationsstruktur 211 aufgefüllt. Dazu wird eine SiO₂-Schicht in einem TEOS-Verfahren abgeschieden und anisotrop mit CHF₃, O₂ rückgeätzt, bis die Hauptfläche 27 freigelegt ist (siehe Figur 14).

[0050] Auf der Hauptfläche 27 wird eine zweite Grabenmaske durch Abscheiden einer SiO₂-Schicht und einer Siliziumnitridschicht gebildet. Die SiO₂-Schicht wird in einem TEOS-Verfahren mit einer Dicke von 150 nm abgeschieden. Die Dicke der Siliziumnitridschicht beträgt 70 nm. Unter Verwendung einer Photolackmaske wird durch anisotropes Ätzen mit CHF₃, O₂ die Nitridschicht und die SiO₂-Schicht strukturiert. Nach Entfernen der Photolackmaske werden zweite Gräben 212 erzeugt. Dabei wird zunächst Silizium anisotrop mit HBr, He, O₂, NF₃ geätzt. Nachfolgend wird SiO₂ selektiv zu Nitrid mit C₂F₆, C₃F₈ geätzt, wobei die Siliziumnitridschicht der zweiten Grabenmaske als Hartmaske dient. Anschließend werden die Siliziumnitridspacer und gleichzeitig die Siliziumnitrid-Hartmaske naßchemisch mit H₃PO₄ entfernt.

[0051] Die zweiten Gräben 212 verlaufen im wesentlichen senkrecht zu den ersten Gräben 29 (siehe Figur 15, in der der in Figur 14 mit XV-XV dargestellte Schnitt gezeigt wird). Die zweiten Gräben 212 weisen einen streifenförmigen Querschnitt auf mit einer Breite von 200 nm, einem Abstand zwischen benachbarten zweiten Gräben 212 von 200 nm und einer Länge von 5 µm. Die Tiefe der zweiten Gräben 212 beträgt 800 nm. Die zweiten Gräben 212 reichen damit ebenfalls bis in die erste n⁺-dotierte Siliziumschicht 22 hinein.

[0052] Anschließend wird die erste Isolationsstruktur 211 entfernt. Dieses erfolgt durch naßchemisches Ätzen von Siliziumoxid selektiv zu Siliziumnitrid und Silizium mit HF.

[0053] Durch thermische Oxidation wird ein erstes Gateoxid 213 in einer Dicke von 5 nm gebildet. Durch Abscheiden einer in situ dotierten Polysiliziumschicht und anisotropes Ätzen der dotierten Polysiliziumschicht werden nachfolgend erste Wortleitungen 214 gebildet. Die dotierte Polysiliziumschicht wird mit Phosphor dotiert abgeschieden. Sie weist eine Dicke von 70 nm auf. Das entspricht einem Drittel der Weite der ersten Gräben 29 sowie der zweiten Gräben 212. Damit wird der Zwischenraum zwischen den an gegenüberliegenden Flanken eines der ersten Gräben 29 angeordneten Siliziumnitridspacern 210 aufgefüllt, die zweiten Gräben 212, deren im wesentlichen senkrecht zur Hauptfläche 27 verlaufende Flanken nur mit dem dünnen ersten

Gateoxid 213 bedeckt sind, jedoch nicht. Das Ätzen der dotierten Polysiliziumschicht erfolgt anisotrop mit He, HBr, Cl₂, C₂F₆. Das anisotrope Ätzen wird solange fortgesetzt, bis die Wortleitungen in der Höhe im Bereich der zweiten n⁺-dotierten Siliziumschicht 24 liegen. Die ersten Wortleitungen 214 überdecken in der Höhe die erste p-dotierte Siliziumschicht 23 vollständig (siehe Figur 16 und Figur 17).

[0054] Teile der ersten Wortleitungen 214 umgeben jeweils eine der Halbleitersäulen, die durch jeweils zwei benachbarte erste Gräben 29 und zweite Gräben 212 definiert werden, ringförmig. Der zwischen den Siliziumnitridspacern 210 verbliebene Freiraum in den ersten Gräben 29 ist dabei vollständig mit den ersten Wortleitungen 214 aufgefüllt. In den ersten Gräben 29 grenzen daher ringförmige Elemente der ersten Wortleitungen 214 zusammen. Die ersten Wortleitungen 214 werden somit gebildet durch aneinandergrenzende ringförmige Elemente.

[0055] Anschließend wird durch Abscheidung einer SiO₂-Schicht und anisotropes Rückätzen eine zweite Isolationsstruktur 215 gebildet, die in den zweiten Gräben 212 den zwischen benachbarten ersten Wortleitungen 214 verbliebenen Freiraum auffüllt. Die Höhe der zweiten Isolationsstruktur 215 ist größer als die der ersten Wortleitungen 214. Die zweite Isolationsstruktur 215 reicht maximal bis an die Grenzfläche zwischen der zweiten n⁺-dotierten Siliziumschicht 24 und der zweiten p-dotierten Siliziumschicht 25. Die Abscheidung der SiO₂-Schicht erfolgt in einem TEOS-Verfahren. Es wird anisotrop geätzt mit Ar, CF₄, CHF₃. Bei dieser anisotropen Ätzung wird auf der Hauptfläche 27 und im oberen Bereich der zweiten Gräben 212 befindliches erstes Gateoxid ebenfalls entfernt.

[0056] Durch selektive Epitaxie werden nachfolgend auf freiliegenden Siliziumoberflächen Siliziumstrukturen 216 aufgewachsen. Die selektive Epitaxie erfolgt im Temperaturbereich von 700°C bis 900°C unter Verwendung eines Silan enthaltenden Prozeßgases. Die Siliziumstrukturen 216 bedecken die freiliegenden Flanken im Bereich der zweiten Gräben 212 oberhalb der zweiten Isolationsstruktur 215. Ferner bedecken sie die Oberfläche der dritten n⁺-dotierten Siliziumschicht 26. Die Siliziumstrukturen 216 weisen eine Abmessung von 70 nm senkrecht zu der Siliziumoberfläche, auf der sie aufwachsen, auf. Das entspricht einem Drittel der Weite der zweiten Gräben 212. Die zweiten Gräben 212 werden daher nicht aufgefüllt. Die Flanken der ersten Gräben 29 sind durch die Siliziumnitridspacer 210 bedeckt, so daß an den Flanken der ersten Gräben 29 kein Silizium aufwächst (siehe Figur 18 und Figur 19).

[0057] Durch naßchemisches Ätzen mit H₃PO₄ wird Siliziumnitrid selektiv zu Silizium angegriffen. Durch eine solche Ätzung werden die Flanken der dritten n⁺-dotierten Siliziumschicht 26 und der zweiten p-dotierten Siliziumschicht 25 mindestens teilweise freigelegt. Dadurch werden die Siliziumnitridspacer 210 in den ersten Gräben 29 in der Höhe reduziert (siehe Figur

20).

[0058] Durch thermische Oxidation wird ein zweites Gateoxid 217 an freiliegenden Siliziumflächen gebildet. Insbesondere entsteht das zweite Gateoxid 217 an der freiliegenden Oberfläche der zweiten p-dotierten Siliziumschicht 25 in den ersten Gräben 29 (siehe Figur 20 und Figur 21). Das zweite Gateoxid 217 wird in einer Schichtdicke von 5 nm gebildet.

[0059] Durch Abscheiden einer in situ dotierten Polysiliziumschicht und anisotropes Rückätzen der dotierten Polysiliziumschicht werden zweite Wortleitungen 218 gebildet. Die in situ dotierte Polysiliziumschicht wird mit Phosphor dotiert und weist eine Dotierstoffkonzentration von 10²¹ cm⁻³ auf. Die dotierte Polysiliziumschicht wird in einer Dicke von 70 nm abgeschieden. Das entspricht einem Drittel der Weite der ersten Gräben 29 sowie der zweiten Gräben 212. Das anisotrope Ätzen wird solange fortgesetzt, bis die Flanken der dritten n⁺-dotierten Siliziumschicht 26 im Bereich der ersten Gräben 29 teilweise freigelegt sind (siehe Figur 20).

[0060] Da die Weite der zweiten Gräben 212 im Bereich der Hauptfläche durch die Siliziumstrukturen 216 auf etwa ein Drittel reduziert ist, füllt die dotierte Polysiliziumschicht die zweiten Gräben 212 auf. Entsprechend füllen die zweiten Wortleitungen 218 die zweiten Gräben in der Weite auf. Die zweiten Wortleitungen 218 umfassen ringförmige Elemente, die jeweils eine der Siliziumsäulen umgeben. In den zweiten Gräben 212 stoßen benachbarte ringförmige Elemente aneinander, so daß die zweiten Wortleitungen 218 als Kette aneinander angrenzender ringförmiger Elemente gebildet werden.

[0061] Die ersten Gräben 29 werden mit einer dritten Isolationsstruktur 219 aufgefüllt. Dazu wird eine SiO₂-Schicht in einem TEOS-Verfahren abgeschieden und anisotrop mit CHF₃, O₂ geätzt. Die dritte Isolationsstruktur 219 schließt in der Höhe mit der Hauptfläche 27 ab.

[0062] Durch Implantation mit Arsen mit einer Energie von 20 keV und einer Dosis von 10¹⁴ cm⁻² werden an der Hauptfläche 27 angeordnete Speicherknoten 220 gebildet. Die Speicherknoten 220 werden aus den an der Hauptfläche 27 befindlichen Teilen der Siliziumstruktur 216 gebildet. Die Speicherknoten 219 sind mit der dritten n⁺-dotierten Siliziumschicht 26 elektrisch verbunden.

[0063] Anschließend wird ganzflächig ein Kondensatordielektrikum 221 abgeschieden. Das Kondensatordielektrikum 221 wird aus SiO₂, einer Dreifachschicht aus SiO₂, Si₃N₄ und SiO₂ oder einem Hohepsilon-Dielektrikum, zum Beispiel BST (Barium-Strontium-Titanat) oder SBT (Strontium-Wismuth-Tantalat) gebildet.

[0064] Auf das Kondensatordielektrikum 221 wird eine Kondensatorplatte 222 aufgebracht. Die Kondensatorplatte 221 wird durch in situ dotierte Abscheidung von Polysilizium in einer Schichtdicke von 200 nm und Planarisierung der dotierten Polysiliziumschicht gebildet. Die dotierte Polysiliziumschicht ist mit Phosphor mit

einer Dotierstoffkonzentration von 10^{21} cm^{-3} dotiert (siehe Figur 22).

[0065] Figur 23 zeigt den in Figur 22 mit XXIII-XXIII bezeichneten Schnitt. Figur 24 zeigt den in Figur 22 mit XXIV-XXIV bezeichneten Schnitt. Die ersten Wortleitungen 214 und die zweiten Wortleitungen 218 sind jeweils als Kette ringförmiger Elemente ausgebildet und verlaufen untereinander jeweils parallel. Die ersten Wortleitungen 214 und die zweiten Wortleitungen 218 verlaufen quer zueinander.

[0066] In dieser Ausführungsform der Speicherzellenanordnung umfaßt jede Halbleitersäule, die jeweils durch zwei benachbarte erste Gräben 29 und zweite Gräben 212 definiert wird, eine Speicherzelle. Die Speicherzelle weist einen ersten Auswahltransistor auf, der aus der ersten n^+ -dotierten Siliziumschicht 22 und der zweiten n^+ -dotierten Siliziumschicht 24 als Source-/Drain-Gebiete, der ersten p-dotierten Siliziumschicht 23 als Kanalbereich, dem ersten Gateoxid 213 und der ersten Wortleitung 214 als Gateelektrode gebildet wird. Ein zweiter Auswahltransistor der Speicherzelle wird aus der zweiten n^+ -dotierten Siliziumschicht 24 und der dritten n^+ -dotierten Siliziumschicht 26 als Source-/Drain-Gebiet, der zweiten p-dotierten Siliziumschicht 25 als Kanalbereich, dem zweiten Gateoxid 217 und der zweiten Wortleitung 218 als Gateelektrode gebildet. Der erste Auswahltransistor und der zweite Auswahltransistor sind über die zweite n^+ -dotierte Siliziumschicht 24, die als gemeinsames Source-/Drain-Gebiet wirkt, in Reihe verschaltet. Die erste n^+ -dotierte Siliziumschicht 22 wirkt als gemeinsame Bitleitung.

[0067] In einer Variante dieses Ausführungsbeispiels wird die zweite n^+ -dotierte Siliziumschicht 24 durch eine p-dotierte Siliziumschicht ersetzt. In diesem Fall umfaßt jede Speicherzelle nur einen Auswahltransistor, der jedoch über zwei Gateelektroden angesteuert wird, die übereinander angeordnet sind und deren Streufelder so groß sind, daß sie sich überlappen. Die überlappenden Streufelder führen im eingeschalteten Zustand dazu, daß sich ein leitender Kanal von der ersten n^+ -dotierten Siliziumschicht 22 zur dritten n^+ -dotierten Siliziumschicht 26 durch alle p-dotierten Siliziumschichten hindurch ausbildet. Der Auswahltransistor wirkt wie zwei in Reihe verschaltete Auswahltransistoren, da sich ein leitender Kanal nur bei Ansteuerung beider Gateelektroden ausbildet.

[0068] Zum Einschreiben einer Information in einer Speicherzellenanordnung mit ersten Wortleitungen WLX_i , $i = 1$ bis n , und zweiten Wortleitungen WLY_i , $i = 1$ bis n , und einer gemeinsamen Bitleitungsplatte BLP wird ein Datenwort über eine Datenleitung DL in ein erstes Schieberegister SR1 eingelesen. Parallel dazu wird das Datenwort über einen Inverter I invertiert und in ein zweites Schieberegister SR2 eingelesen. Die Ausgänge des ersten Schieberegisters SR1 sind über einen Schalter S1 mit den ersten Wortleitungen WLX_i , $i = 1$ bis n , verbunden. Die Ausgänge des zweiten Schieberegisters sind über einen Schalter S0 mit den ersten

Wortleitungen WLX_i , $i = 1$ bis n , verbunden.

[0069] Zum Einschreiben einer Information mit dem logischen Wert Eins wird der Schalter S1 so angesteuert, daß die Ausgänge des ersten Schieberegisters SR1 mit den ersten Wortleitungen WLX_i , $i = 1$ bis n , verbunden sind. Die Bitleitungsplatte BLP wird mit einem Spannungswert beaufschlagt, der einer logischen Eins entspricht. Über die ersten Wortleitungen WLX_i , $i = 1$ bis n , und die zweite Wortleitung WLY_i , $i = 1$, werden die einzelnen Speicherzellen angesteuert, in denen eine logische Eins gespeichert wird. Auf diese Weise werden ohne Umladung der Bitleitungsplatte BLP alle Speicherzellen entlang der zweiten Wortleitung WLY_i , $i = 1$, mit einer Eins beschrieben, in denen eine Eins gespeichert werden soll.

[0070] Anschließend wird die Verbindung zwischen den ersten Wortleitungen WLX_i , $i = 1$ bis n , und dem ersten Schieberegister SR1 durch entsprechende Ansteuerung des Schalters S1 getrennt und die Bitleitungsplatte BLP mit einem Spannungspegel beaufschlagt, der einer logischen Null entspricht. Nachfolgend wird der Schalter S0 so angesteuert, daß das zweite Schieberegister mit den ersten Wortleitungen WLX_i , $i = 1$ bis n , verbunden ist. Nachfolgend werden über die ersten Wortleitungen WLX_i , $i = 1$ bis n , und die zweiten Wortleitungen WLY_i , $i = 1$, die einzelnen Speicherzellen angesteuert, in denen eine logische Null gespeichert werden soll. Das nächste Datenwort wird entsprechend eingelesen, wobei jetzt die zweite Wortleitung WLY_i , $i = 2$, eingeschaltet wird. Für das Einlesen der folgenden Datenwörter wird der Laufindex i der zweiten Wortleitung WLY_i weiter inkrementiert (siehe Figur 25).

[0071] Zum Auslesen einer Speicherzellenanordnung mit ersten Wortleitungen WLX_i , $i = 1$ bis n , und zweiten Wortleitungen WLY_i , $i = 1$ bis n , und streifenförmigen Bitleitungen BL_i , $i = 1$ bis n , werden die einzelnen Speicherzellen, die entlang einer streifenförmigen Bitleitung BL_i angeordnet sind, nacheinander über die zugehörige erste Wortleitung WLX_i und die zugehörigen zweiten Wortleitungen WLY_i , $i = 1$ bis n , angesteuert (siehe Figur 26). Das Auslesen der Daten erfolgt parallel für alle Bitleitungen BL_i , $i = 1$ bis n . Dieses parallele Auslesen erfolgt innerhalb eines Zellenblockes ZB. Zusätzlich dazu können mehrere Zellenblöcke definiert werden, die darüber hinaus parallel ausgelesen werden. Dadurch wird die Zeit für den Datenzugriff verkürzt.

[0072] Zum Refresh von Daten in einer DRAM-Zellenanordnung werden zunächst die gespeicherten Informationen, wie anhand von Figur 26 geschildert, ausgelesen in ein Schieberegister und anschließend, wie anhand von Figur 25 geschildert, wieder eingelesen. Der Vorteil dieses Betriebsverfahrens liegt darin, daß die gespeicherte Information, die ausgelesen wird, nur zur Ansteuerung einer Wortleitung und nicht zum Anheben des zugehörigen Pegels in der Speicherzelle verwendet wird.

Patentansprüche**1. Speicherzellenanordnung,**

- bei der ein Halbleitersubstrat mit einer Vielzahl 5
Speicherzellen vorgesehen ist,
- bei der die Speicherzellen jeweils mindestens 10
einen in Bezug auf eine Hauptfläche des Halbleitersubstrats vertikalen Auswahltransistor aufweisen, der mit einem Speicherelement (121, 122, 123) verbunden ist,
- bei der die Speicherzellen jeweils über eine 15
erste Wortleitung (112') und eine zweite Wortleitung (115) ansteuerbar sind, wobei sich die erste Wortleitung (112') und die zweite Wortleitung (115) kreuzen.

2. Speicherzellenanordnung nach Anspruch 1, 20

- bei der jeweils mehrere der Speicherzellen zu 25
einem Zellenblock zusammengefaßt sind,
- bei der die Speicherzellen jedes Zellenblocks mit einer gemeinsamen Bitleitung (22) verbunden 30
sind.

3. Speicherzellenanordnung nach Anspruch 1 oder 2, 35
bei der die Speicherzellen jeweils einen ersten Auswahltransistor und einen zweiten Auswahltransistor aufweisen, die in Reihe geschaltet sind und wobei der erste Auswahltransistor von der ersten Wortleitung und der zweite Auswahltransistor von der zweiten Wortleitung ansteuerbar ist.**4. Speicherzellenanordnung nach Anspruch 3, 40**

- bei der der erste Auswahltransistor als in 45
Bezug auf die Hauptfläche (11) des Halbleitersubstrats vertikaler Transistor ausgestaltet ist und
- bei der der erste Auswahltransistor und der 50
zweite Auswahltransistor übereinander angeordnet sind.

5. Speicherzellenanordnung nach Anspruch 4, 55
bei der der zweite Auswahltransistor als in Bezug auf die Hauptfläche (27) des Halbleitersubstrats vertikaler Transistor ausgestaltet ist.**6. Speicherzellenanordnung nach Anspruch 4 oder 5,**

- bei der das Halbleitersubstrat Halbleitersäulen 55
aufweist, die an die Hauptfläche (11) angrenzen und deren Flanken die Hauptfläche (11) kreuzen,

- bei der jeweils einer der Auswahltransistoren 60
der Speicherzellen als MOS-Transistor ausgestaltet ist und an mindestens einer Flanke einer der Halbleitersäulen angeordnet ist.

7. Speicherzellenanordnung nach Anspruch 5,

- bei der das Halbleitersubstrat Halbleitersäulen 65
aufweist, die an die Hauptfläche angrenzen und deren Flanken die Hauptfläche kreuzen und die rasterförmig angeordnet sind,
- bei der der erste Auswahltransistor und der 70
zweite Auswahltransistor einer Speicherzelle jeweils entlang mindestens einer Flanke einer der Halbleitersäulen angeordnet sind,
- bei der die erste Wortleitung (214) ringförmige 75
Elemente aufweist, die benachbarte Halbleitersäulen umgeben und die miteinander verbunden sind,
- bei der die zweite Wortleitung (218), die quer 80
zur ersten Wortleitung (214) verläuft, ringförmige Elemente aufweist, die benachbarte Halbleitersäulen umgeben und die miteinander verbunden sind.

8. Speicherzellenanordnung nach Anspruch 1 oder 2, 85
bei der die Speicherzellen jeweils nur einen Auswahltransistor aufweisen, der über die erste Wortleitung und die zweite Wortleitung ansteuerbar ist.**9. Speicherzellenanordnung nach Anspruch 8,**

- bei der das Halbleitersubstrat Halbleitersäulen 90
aufweist, die die Hauptfläche (27) kreuzende Flanken aufweisen und die rasterförmig angeordnet sind,
- bei der der Auswahltransistor einer Speicherzelle entlang mindestens einer Flanke einer 95
der Halbleitersäulen angeordnet ist und der ein Source-Gebiet, ein Drain-Gebiet, eine erste Gateelektrode und eine zweite Gateelektrode aufweist, die übereinander zwischen dem Source-Gebiet und dem Drain-Gebiet angeordnet sind,
- bei der die erste Wortleitung (214) ringförmige 100
Elemente aufweist, die benachbarte Halbleitersäulen umgeben und die miteinander verbunden sind,
- bei der zweite Wortleitung (218), die quer zur 105
ersten Wortleitung (214) verläuft, ringförmige Element aufweist, die benachbarte Halbleitersäulen umgeben und die miteinander verbunden sind.

den sind,

- bei der die erste Wortleitung (214) mit der ersten Gateelektrode und die zweite Wortleitung (218) mit der zweiten Gateelektrode verbunden ist. 5
- 10. Speicherzellenanordnung nach einem der Ansprüche 1 bis 9, bei der als Speicherelement eine Speicherkapazität vorgesehen ist. 10
- 11. Speicherzellenanordnung nach Anspruch 10,
 - bei der Bitleitungen als im Halbleitersubstrat vergrabene Bitleitungen realisiert sind, 15
 - bei der die Speicherkapazität an und/oder oberhalb der Hauptfläche des Halbleitersubstrats angeordnet ist. 20
- 12. Verfahren zur Herstellung einer Speicherzellenanordnung, bei dem Speicherzellen gebildet werden, die jeweils mindestens einen vertikalen Auswahltransistor aufweisen, der mit einem Speicherelement verbunden ist, und die jeweils über eine erste Wortleitung und eine zweite Wortleitung ansteuerbar sind, wobei sich die erste Wortleitung und die zweite Wortleitung kreuzen. 25 30
- 13. Verfahren nach Anspruch 12,
 - bei dem in einer Hauptfläche eines Halbleitersubstrats erste Gräben und zweite Gräben geätzt werden, wobei die ersten Gräben die zweiten Gräben kreuzen, so daß Halbleitersäulen entstehen, die jeweils durch benachbarte erste Gräben und benachbarte zweite Gräben begrenzt werden und die quer zur Hauptfläche verlaufende Flanken aufweisen, 35 40
 - bei dem der Auswahltransistor der Speicherzellen jeweils entlang mindestens einer Flanke einer der Halbleitersäulen so gebildet wird, daß Source- und/oder Drain-Gebiet mindestens teilweise an eine Flanke der Halbleitersäule angrenzen und daß zwischen dem Source- und dem Drain-Gebiet eine erste Gateelektrode und eine zweite Gateelektrode an der Flanke angeordnet sind, wobei die erste Gateelektrode mit der ersten Wortleitung und die zweite Gateelektrode mit der zweiten Wortleitung verbunden wird. 45 50 55
- 14. Verfahren nach Anspruch 12,
 - bei dem die Speicherzellen jeweils einen

ersten Auswahltransistor und einen zweiten Auswahltransistor aufweisen, die in Reihe geschaltet sind,

- bei dem in eine Hauptfläche eines Halbleitersubstrats erste Gräben und zweite Gräben geätzt werden, wobei die ersten Gräben die zweiten Gräben kreuzen, so daß Halbleitersäulen entstehen, die die Hauptfläche kreuzende Flanken aufweisen, 5
- bei dem der erste Auswahltransistor und der zweite Auswahltransistor einer Speicherzelle jeweils übereinander an mindestens einer Flanke einer der Halbleitersäulen gebildet werden, wobei der erste Auswahltransistor mit einer ersten Gateelektrode und der zweite Auswahltransistor mit einer zweiten Gateelektrode versehen wird und die erste Gateelektrode mit der ersten Wortleitung und die zweite Gateelektrode mit der zweiten Wortleitung verbunden wird. 10
- 15. Verfahren nach Anspruch 13 oder 14,
 - bei dem im Bereich der ersten Gateelektroden jeweils an mindestens einer Flanke der Halbleitersäule eine erste Hilfsstruktur erzeugt wird, so daß der Abstand benachbarter Halbleitersäulen in Richtung der ersten Gräben größer als in Richtung der zweiten Gräben ist, 15
 - bei dem die ersten Gateelektroden ringförmig gebildet werden, wobei die ersten Gateelektroden die jeweilige Halbleitersäule umgeben, wobei die ersten Gateelektroden von in Richtung der zweiten Gräben benachbarten Speicherzellen aneinander grenzen und Teile der ersten Wortleitung bilden, 20
 - bei dem im Bereich der zweiten Gateelektroden jeweils an mindestens einer Flanke der Halbleitersäule eine zweite Hilfsstruktur erzeugt wird, so daß der Abstand benachbarter Halbleitersäulen in Richtung der zweiten Gräben größer als in Richtung der ersten Gräben ist, 25
 - bei dem die zweiten Gateelektroden ringförmig gebildet werden, wobei die zweiten Gateelektroden die jeweilige Halbleitersäule umgeben, wobei die zweiten Gateelektroden von in Richtung der ersten Gräben benachbarten Speicherzellen aneinandergrenzen und Teile der zweiten Wortleitungen bilden. 30 35 40 45 50 55
- 16. Verfahren nach Anspruch 15, bei dem die ersten Hilfsstrukturen und/oder die

zweiten Hilfsstrukturen durch konformes Abscheiden und anisotropes Ätzen und/oder durch selektive Epitaxie gebildet werden.

17. Verfahren nach Anspruch 12,

5

- bei dem die Speicherzellen jeweils einen ersten Auswahltransistor und einen zweiten Auswahltransistor aufweisen, die in Reihe geschaltet sind, 10
- bei dem in einer Hauptfläche eines Halbleitersubstrats erste Gräben und zweite Gräben geätzt werden, wobei die ersten Gräben die zweiten Gräben kreuzen, so daß Halbleitersäulen entstehen, die die Hauptfläche kreuzende Flanken aufweisen, 15
- bei dem der erste Auswahltransistor einer Speicherzelle jeweils an mindestens einer Flanke einer der Halbleitersäulen und der zweite Auswahltransistor der Speicherzelle im Bereich der Hauptfläche gebildet wird. 20

18. Verfahren nach einem der Ansprüche 13 bis 17,

25

- bei dem in dem Halbleitersubstrat eine vergrabene dotierte Schicht gebildet wird,
- bei dem die Tiefe der ersten Gräben so bemessen wird, daß aus der vergrabenen dotierten Schicht vergrabene Bitleitungen in Form von streifenförmigen, dotierten Gebieten gebildet werden, 30
- bei dem die Tiefe der zweiten Gräben geringer als die der ersten Gräben ist. 35

19. Verfahren zum Betrieb einer Speicherzellenanordnung mit Speicherzellen, die jeweils mindestens einen Auswahltransistor aufweisen, der zwischen eine Bitleitung und ein Speicherelement geschaltet ist, und die über eine erste Wortleitung und über eine zweite Wortleitung ansteuerbar sind, wobei sich die erste Wortleitung und die zweite Wortleitung kreuzen, 40

45

- bei dem zum Auslesen von Information die Speicherzellen über die erste Wortleitung und die zweite Wortleitung angesteuert werden und die Bitleitungen parallel ausgelesen werden. 50

20. Verfahren zum Betrieb einer Speicherzellenanordnung mit Speicherzellen, die jeweils mindestens einen Auswahltransistor aufweisen, der zwischen eine Bitleitung und ein Speicherelement geschaltet ist, und die über eine erste Wortleitung und über eine zweite Wortleitung ansteuerbar sind, wobei 55

55

sich die erste Wortleitung und die zweite Wortleitung kreuzen,

- bei dem zum Einschreiben von Information jeweils mehrere Speicherzellen zu einem Zellenblock zusammengefaßt werden,
- bei dem zum Einschreiben einer Information in den Zellenblock alle Bitleitungen des Zellenblocks mit einem der Information entsprechenden Spannungspegel beaufschlagt werden und die Speicherzellen über die ersten Wortleitungen und die zweiten Wortleitungen angesteuert werden.

21. Verfahren nach Anspruch 20,

- bei dem ein Datenwort in ein erstes Schieberegister geladen wird, dessen Ausgänge über einen ersten Schalter mit den ersten Wortleitungen verbunden sind,
- bei dem das Datenwort über einen Inverter invertiert in ein zweites Schieberegister geladen wird, dessen Ausgänge über einen zweiten Schalter mit den ersten Wortleitungen verbunden sind,
- bei dem die Bitleitungen mit einem ersten Spannungspegel beaufschlagt werden und der erste Schalter so angesteuert wird, daß das erste Schieberegister mit den ersten Wortleitungen verbunden wird,
- bei dem die Bitleitungen mit einem zweiten Spannungspegel beaufschlagt werden und der zweite Schalter so angesteuert wird, daß das zweite Schieberegister mit den ersten Wortleitungen verbunden wird.

FIG 1

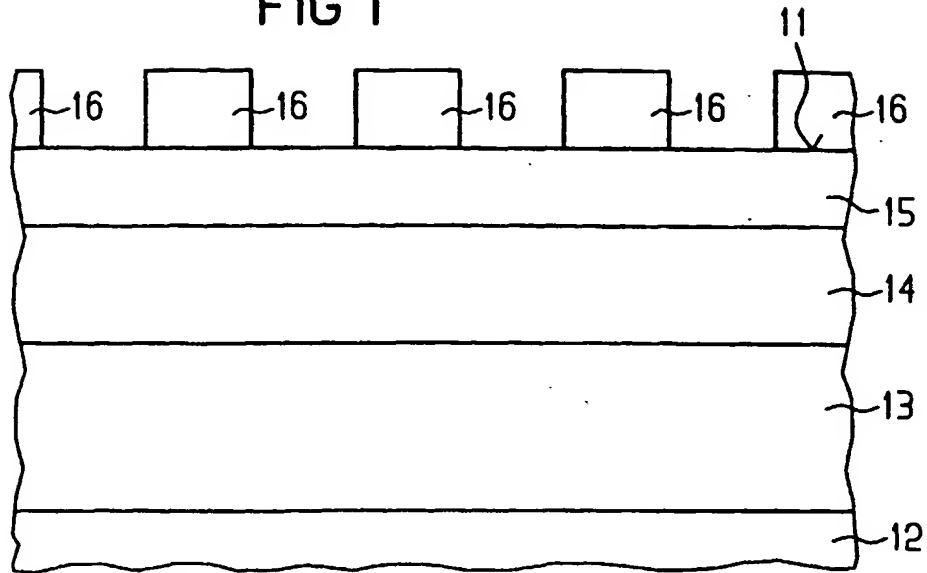


FIG 2

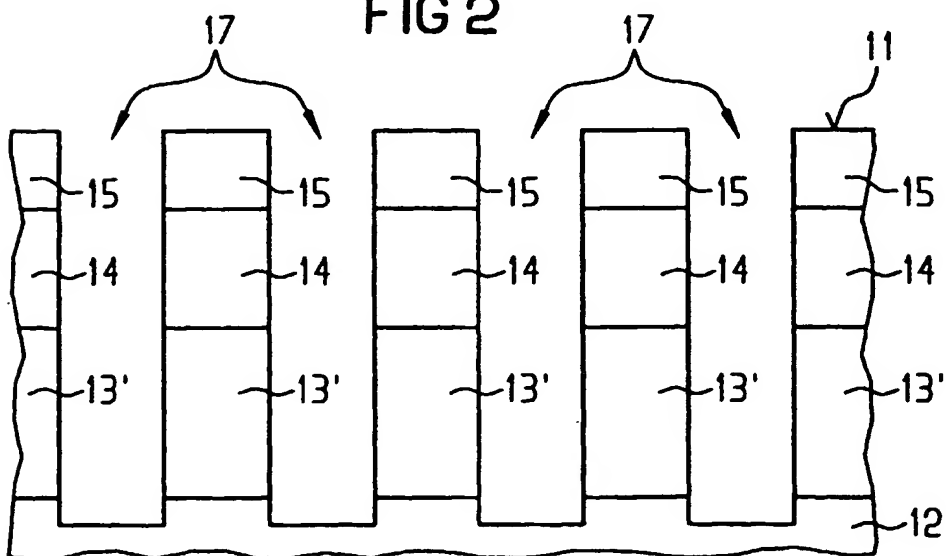


FIG 3

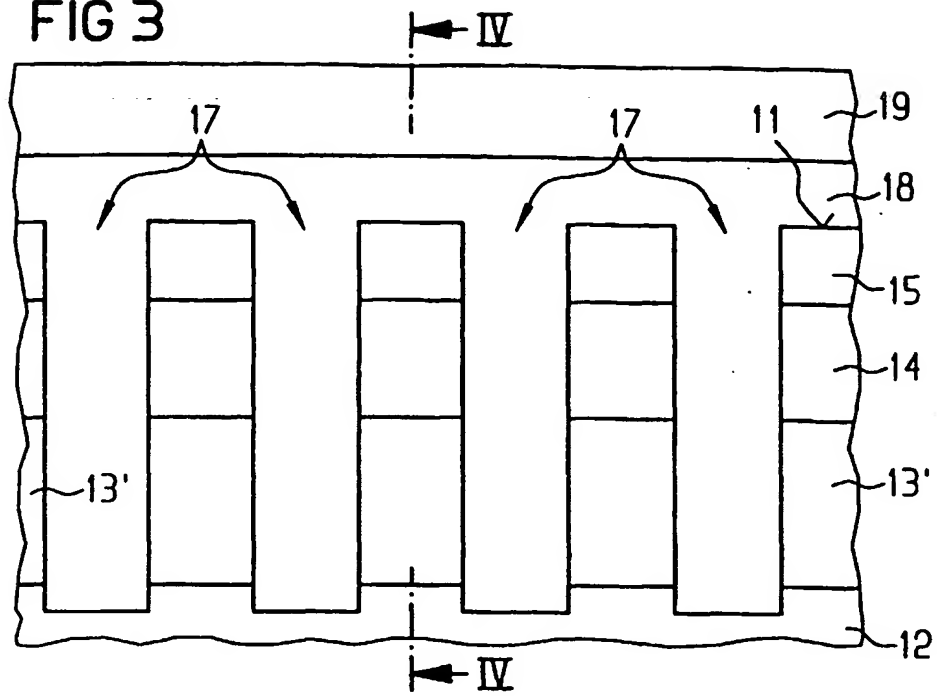
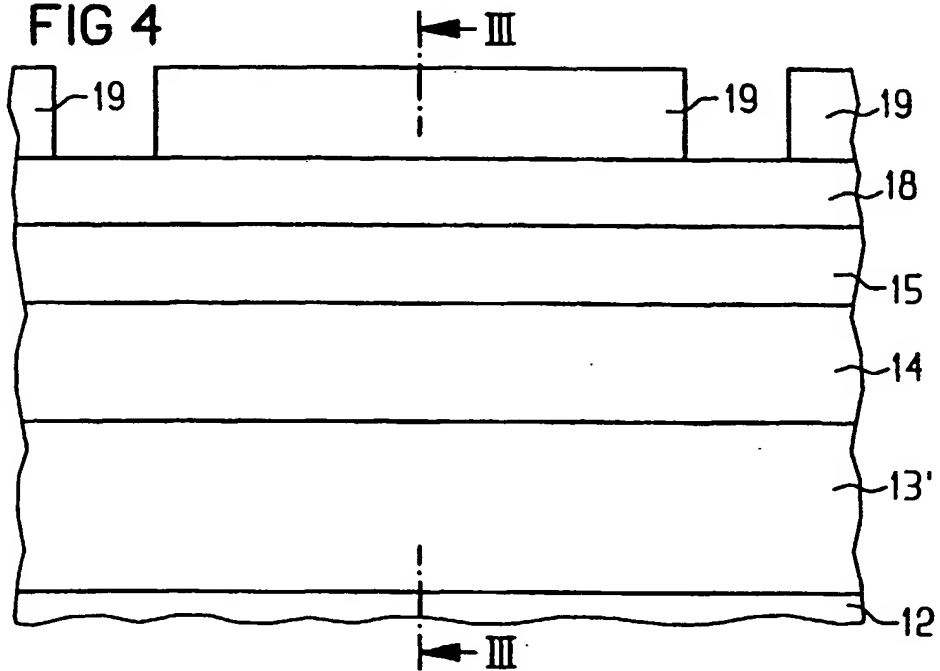
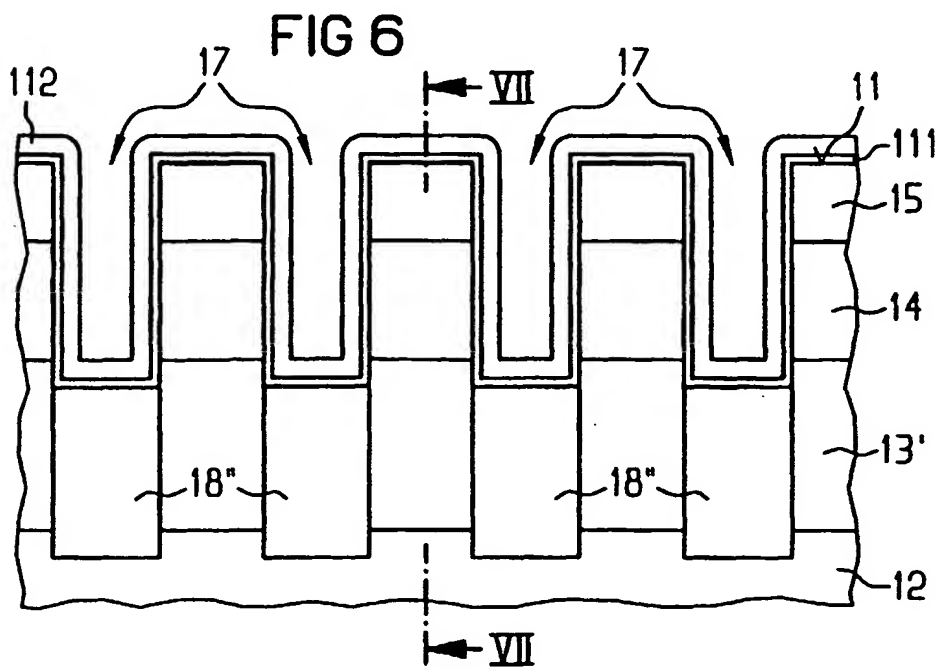
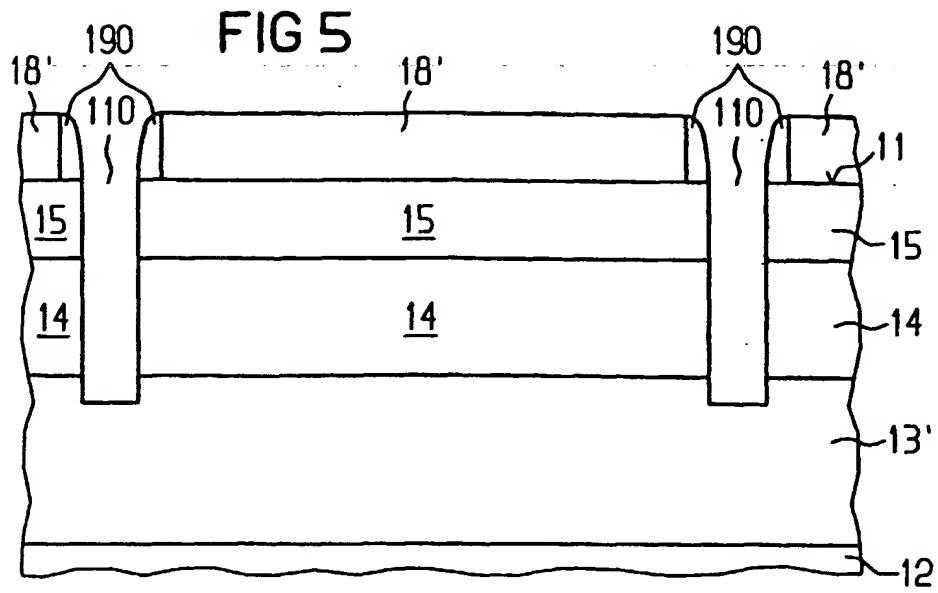
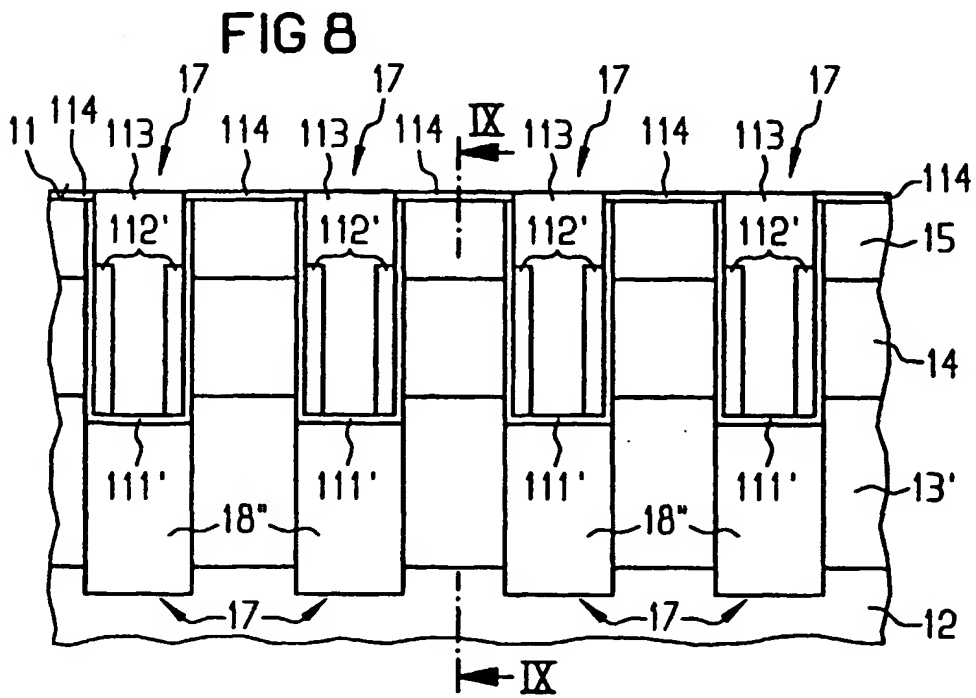
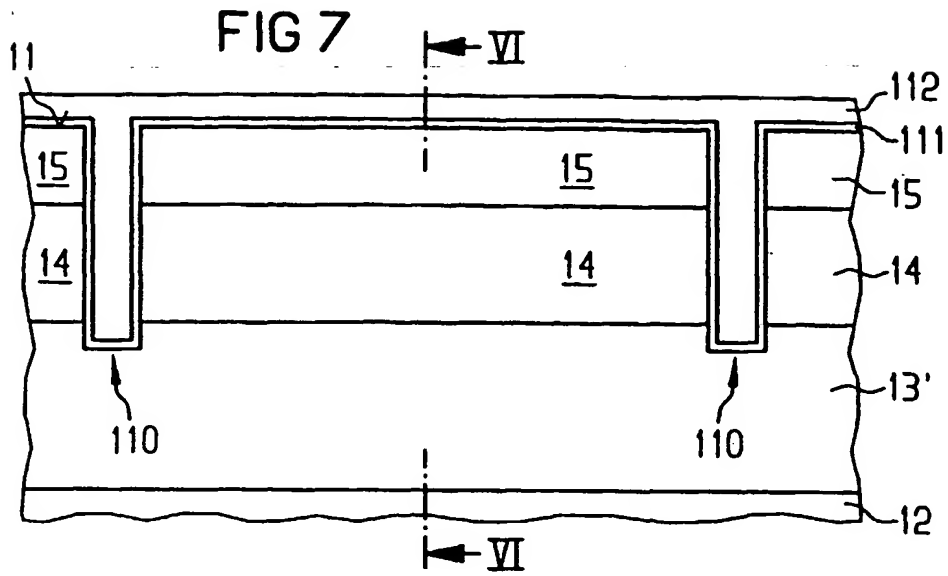
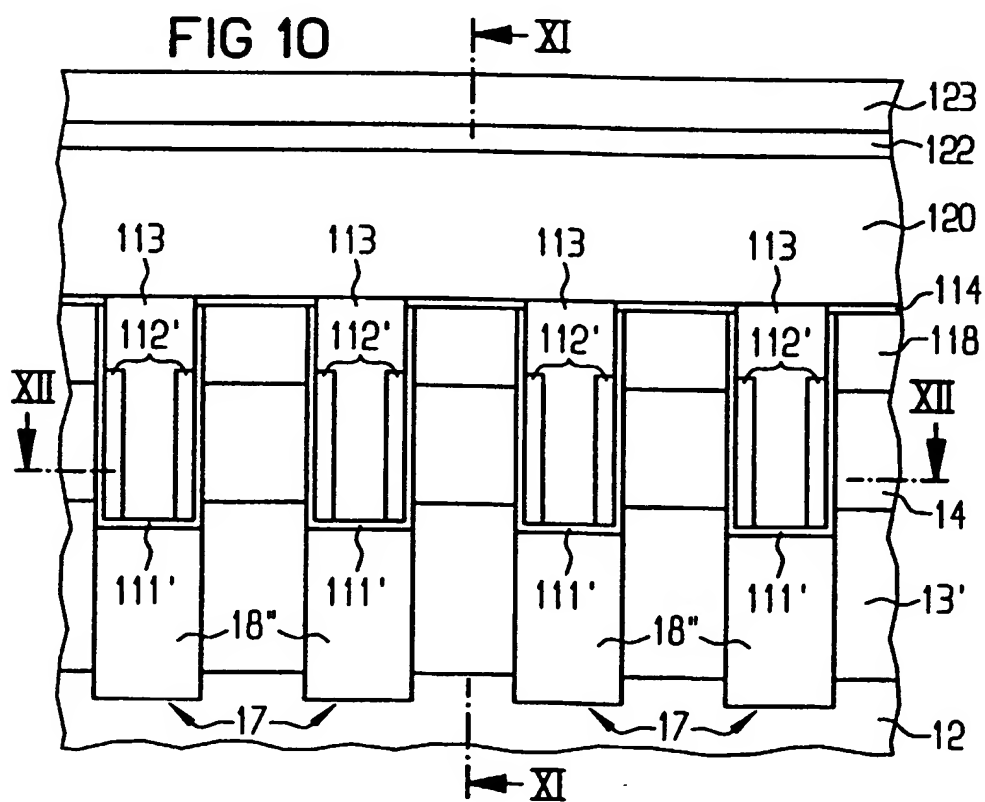
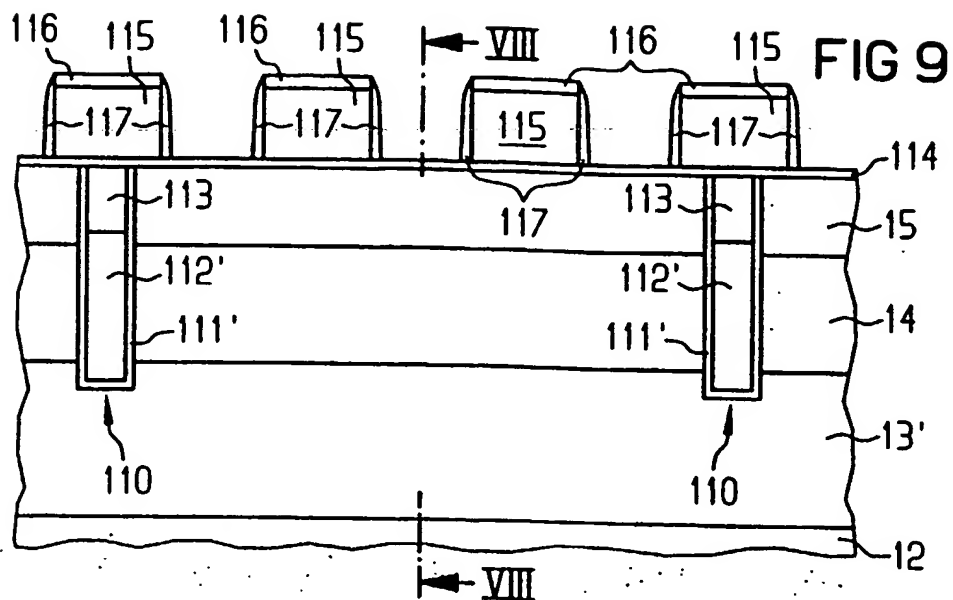


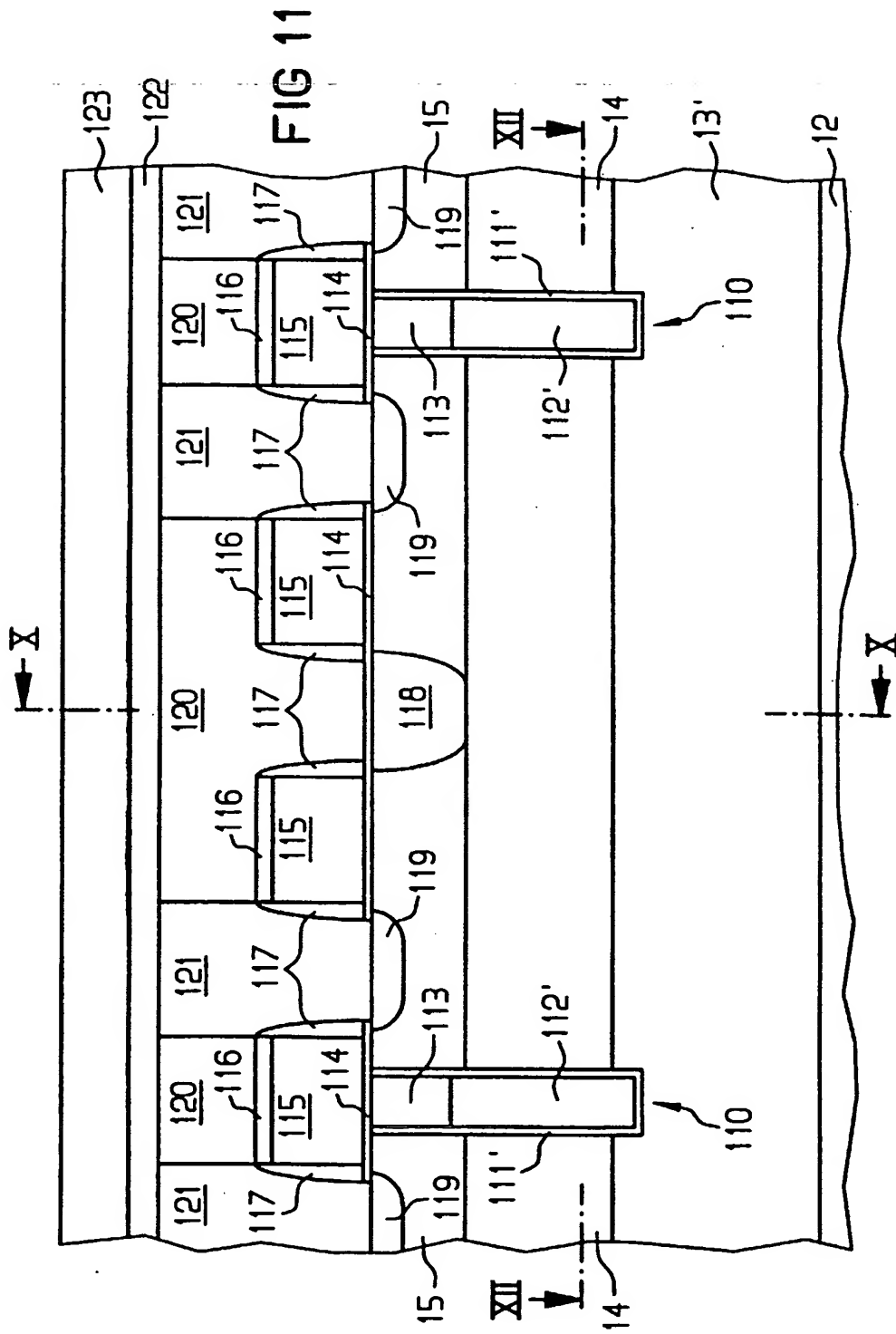
FIG 4

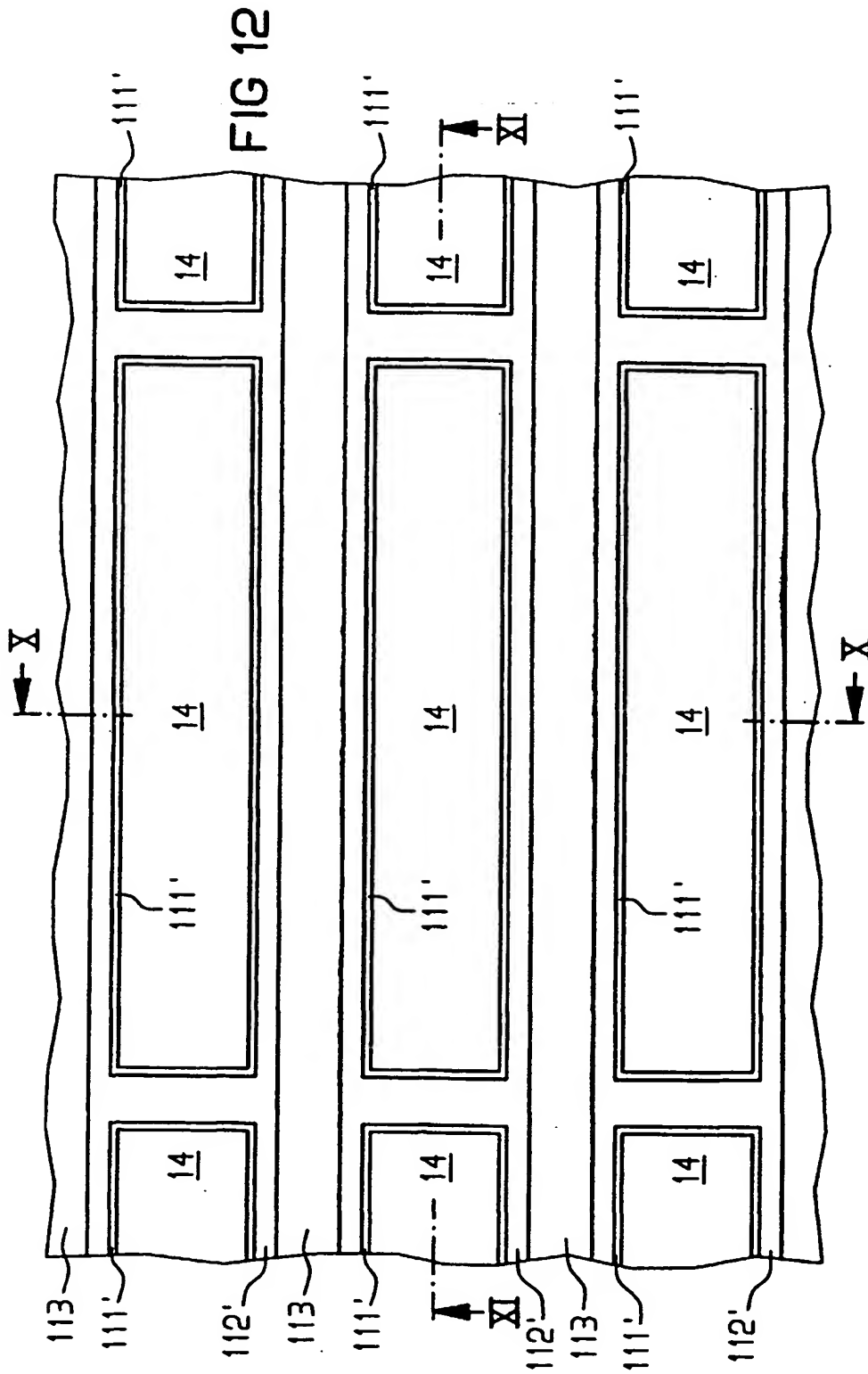












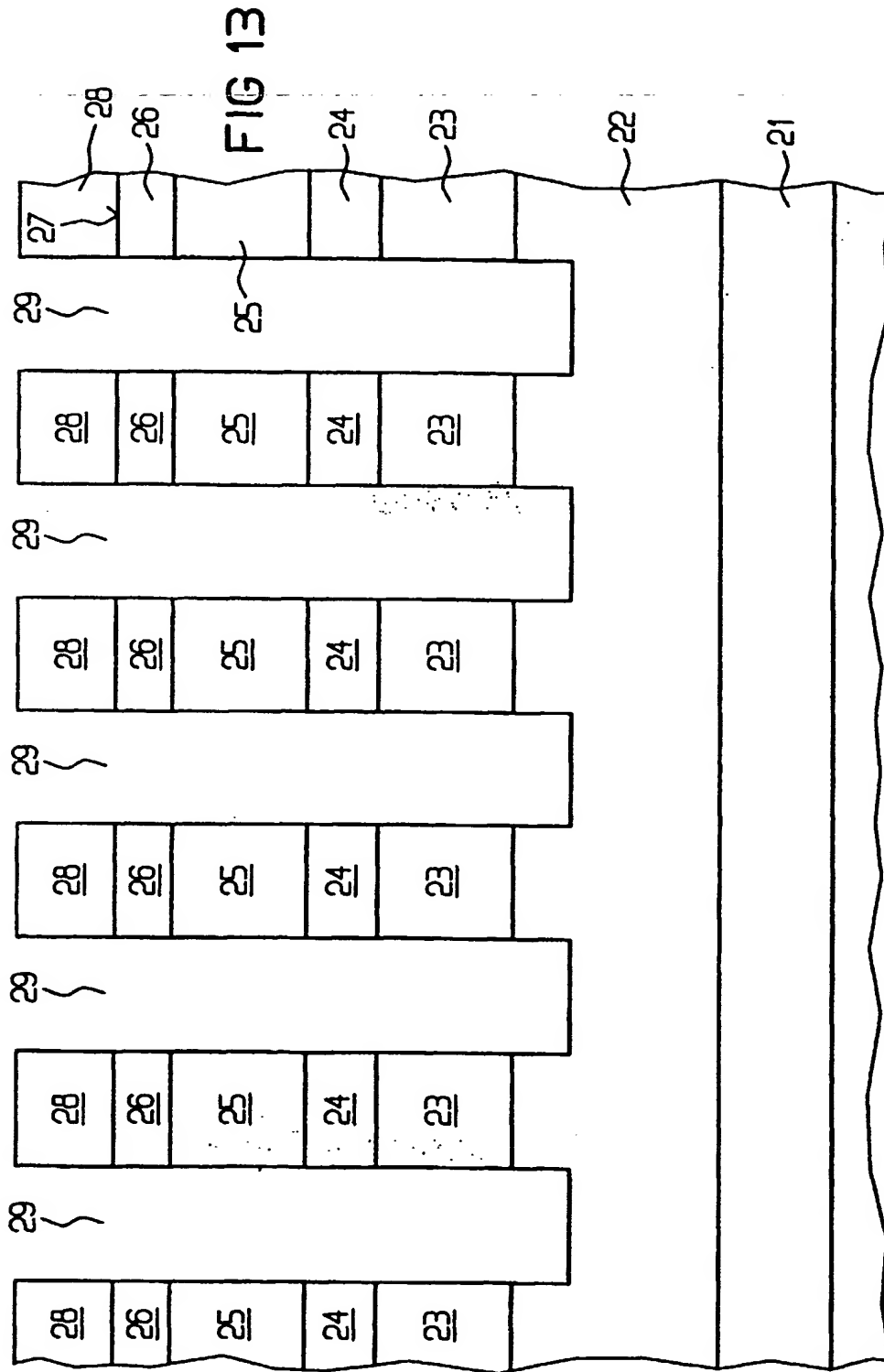
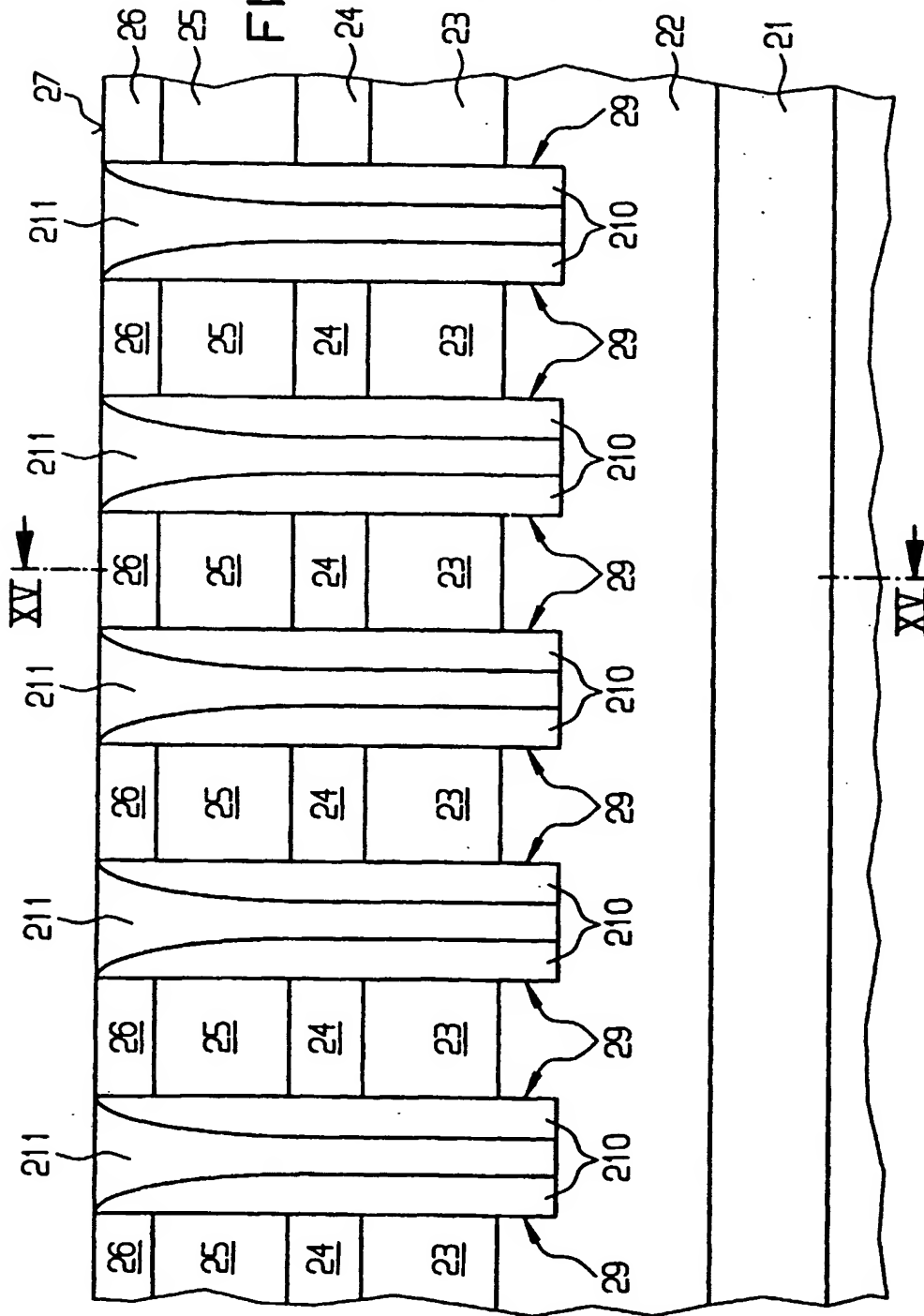
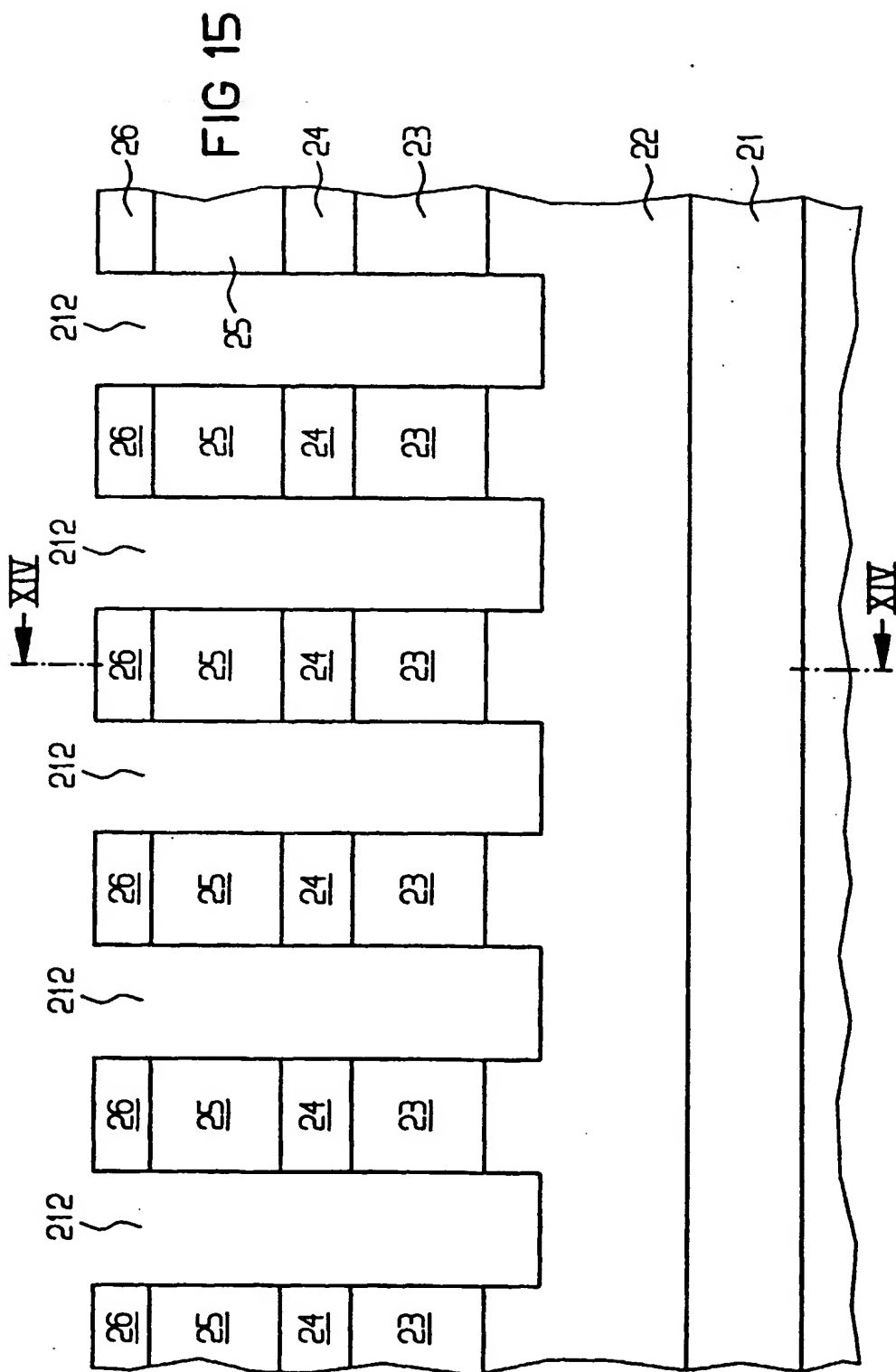
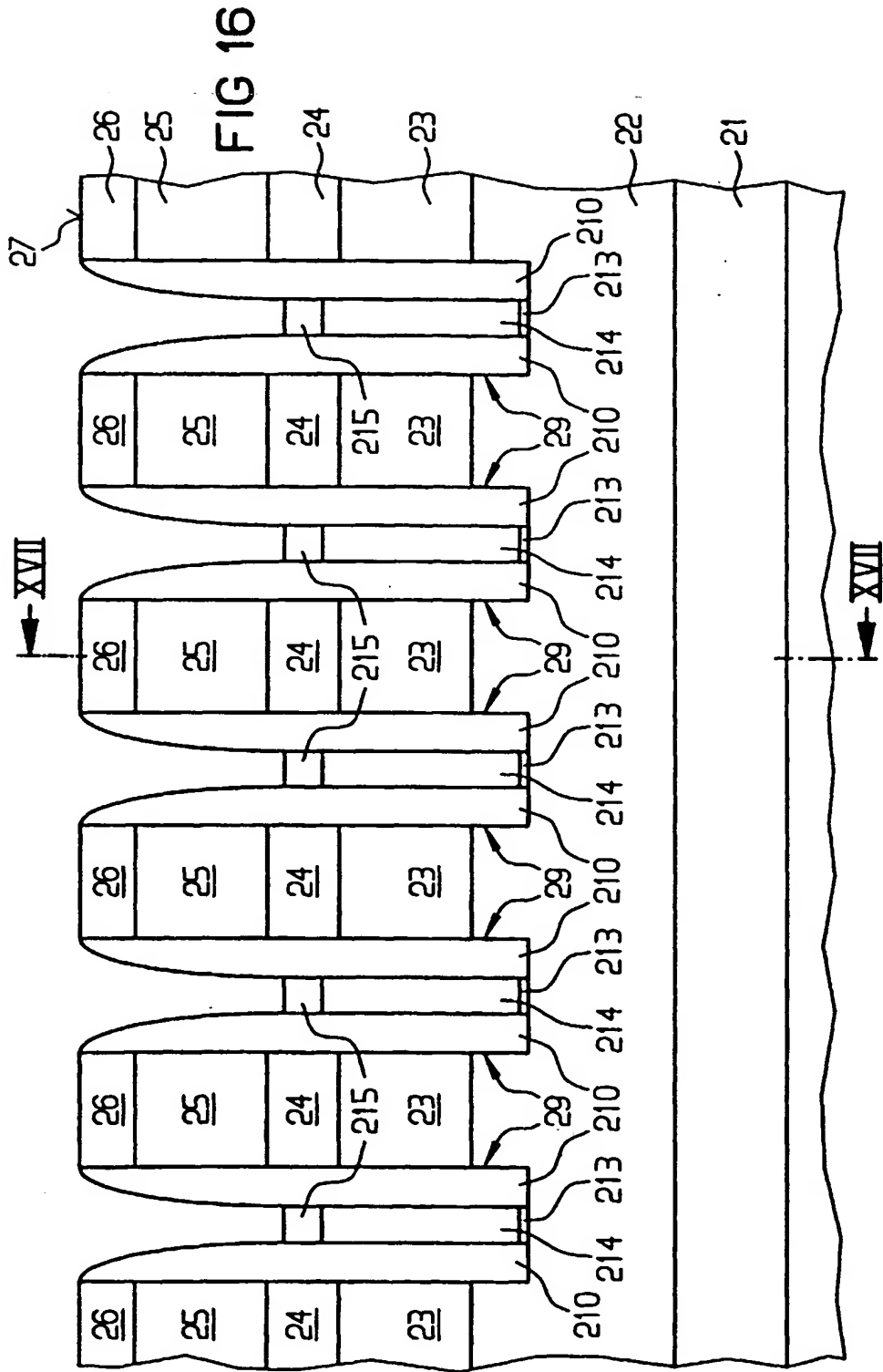
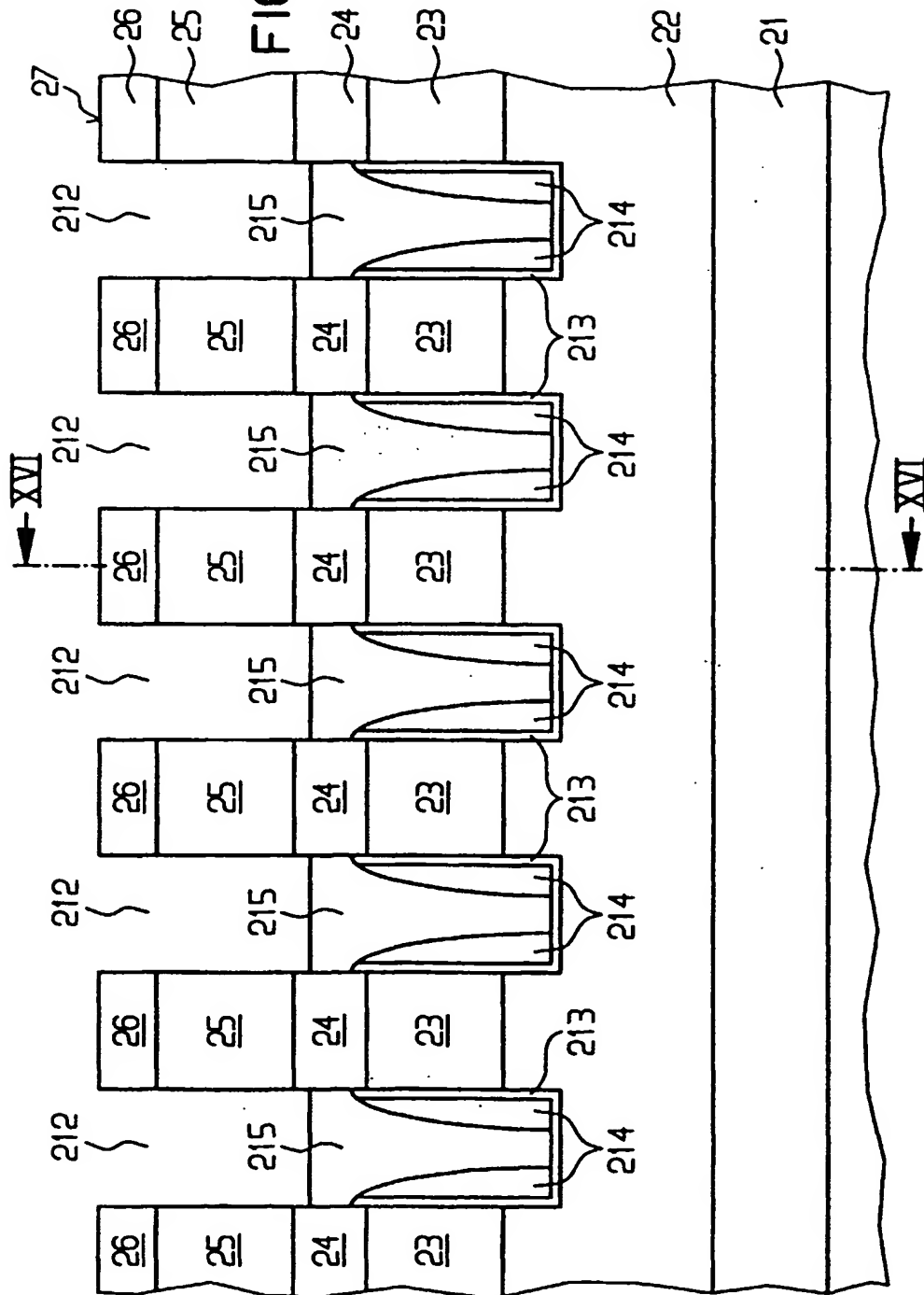


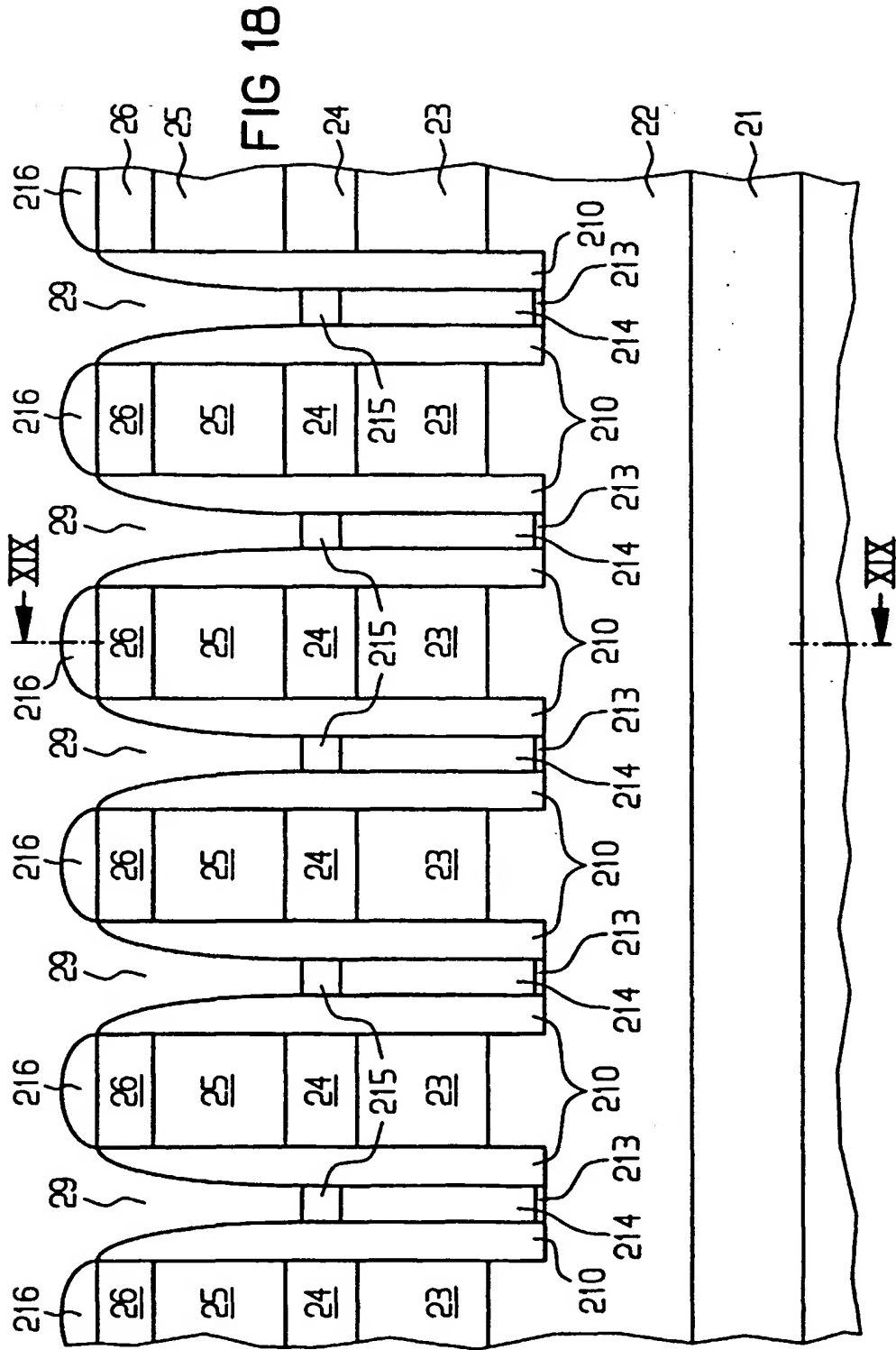
FIG 14

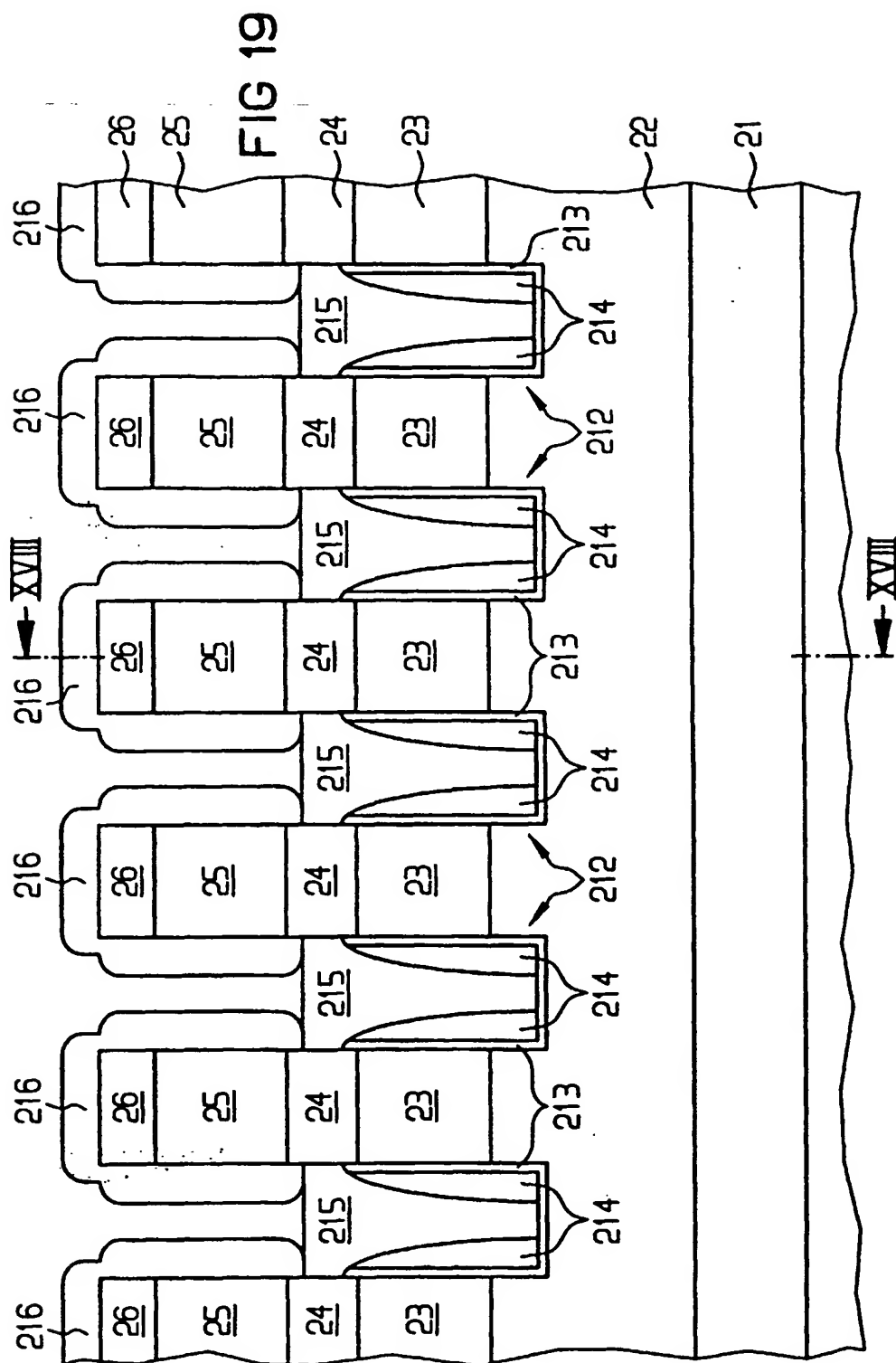


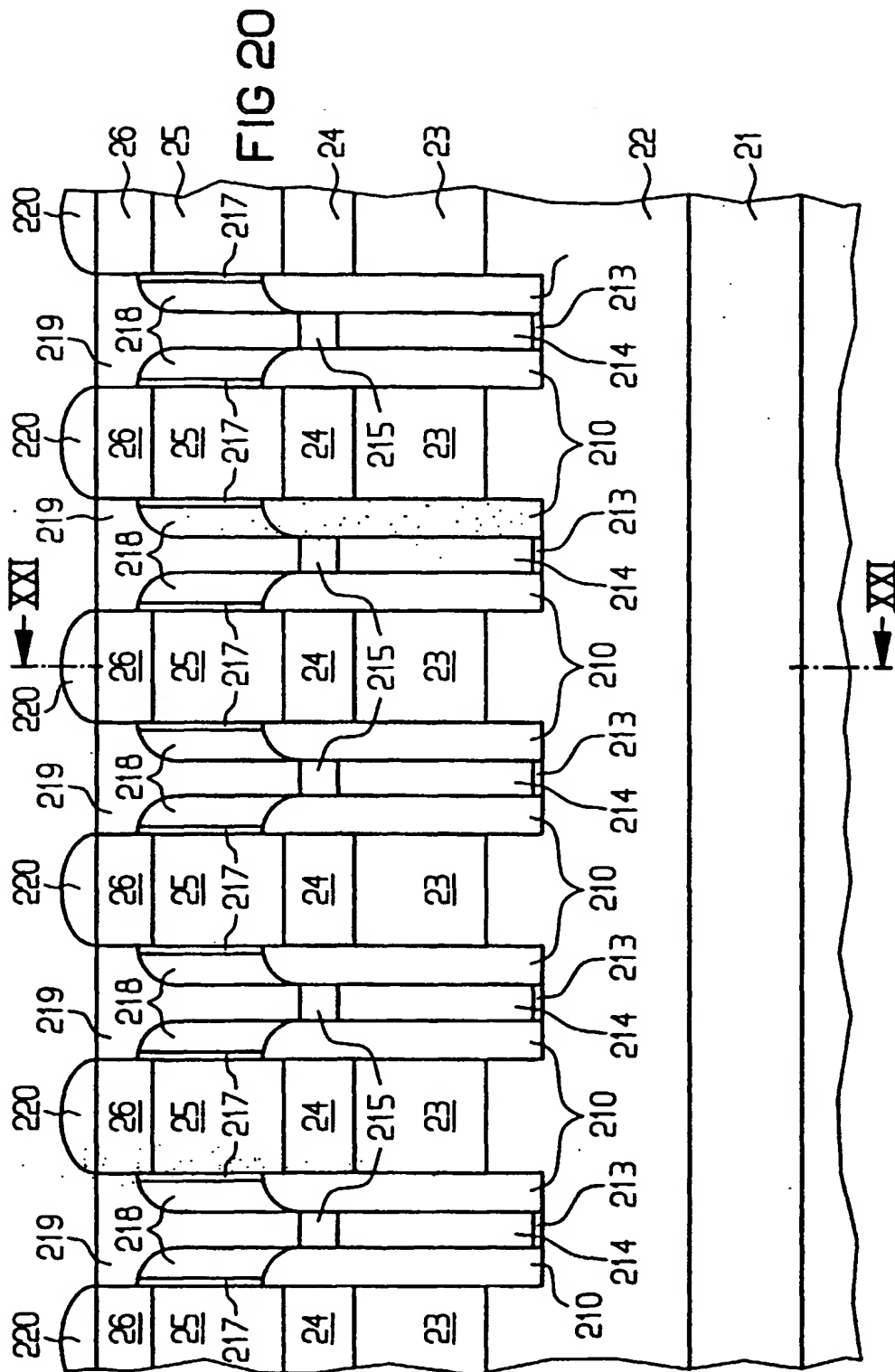


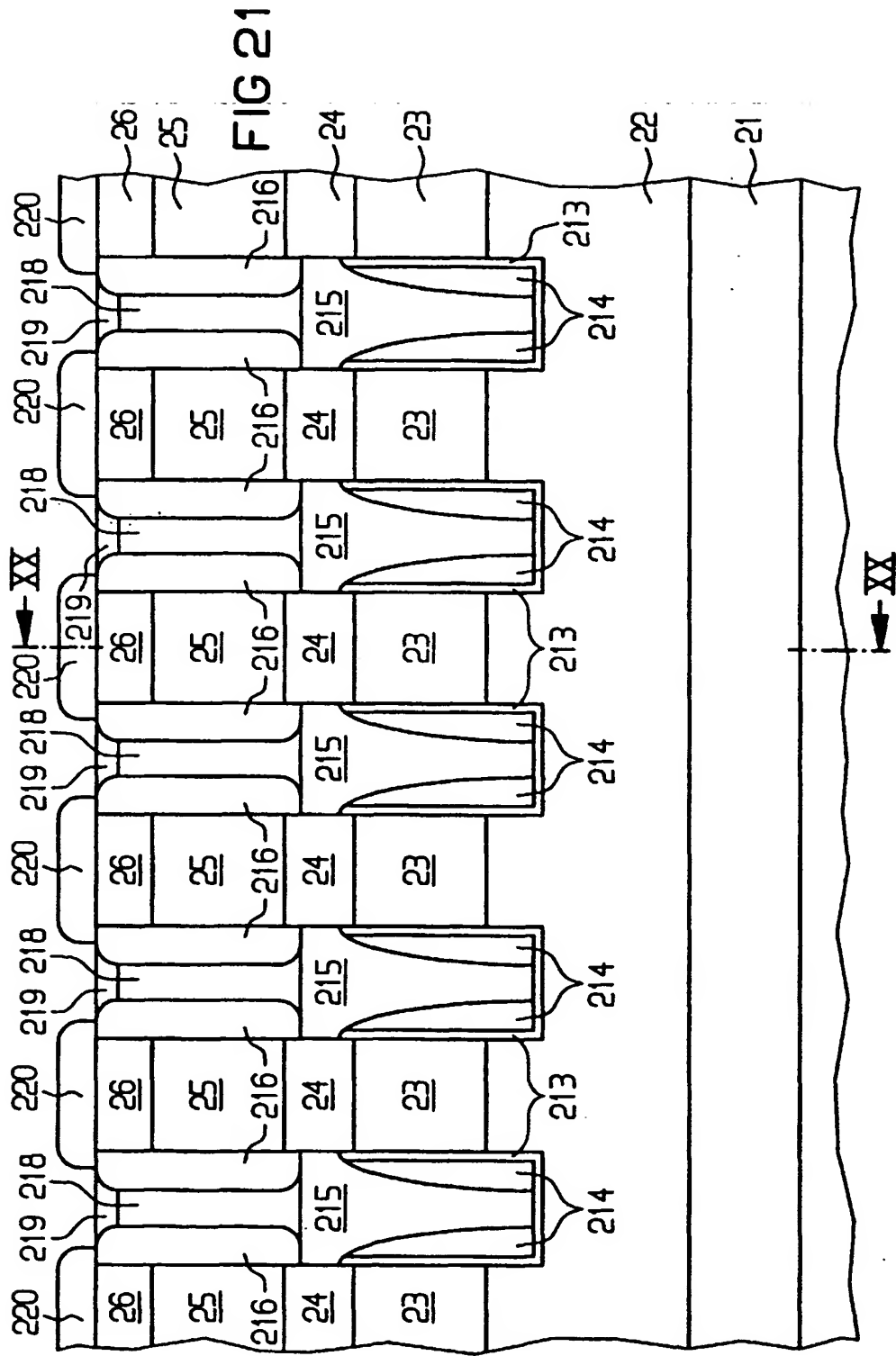


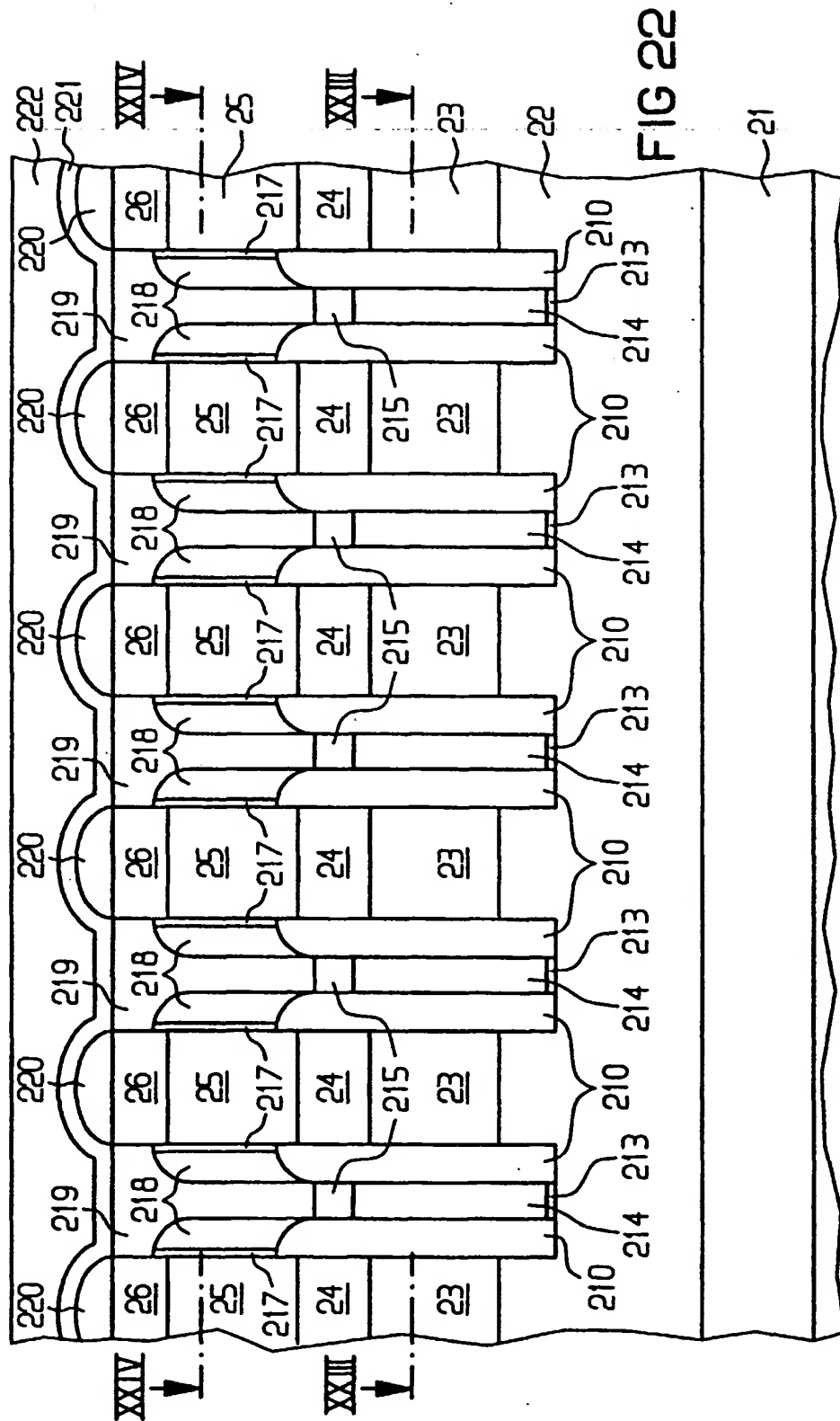












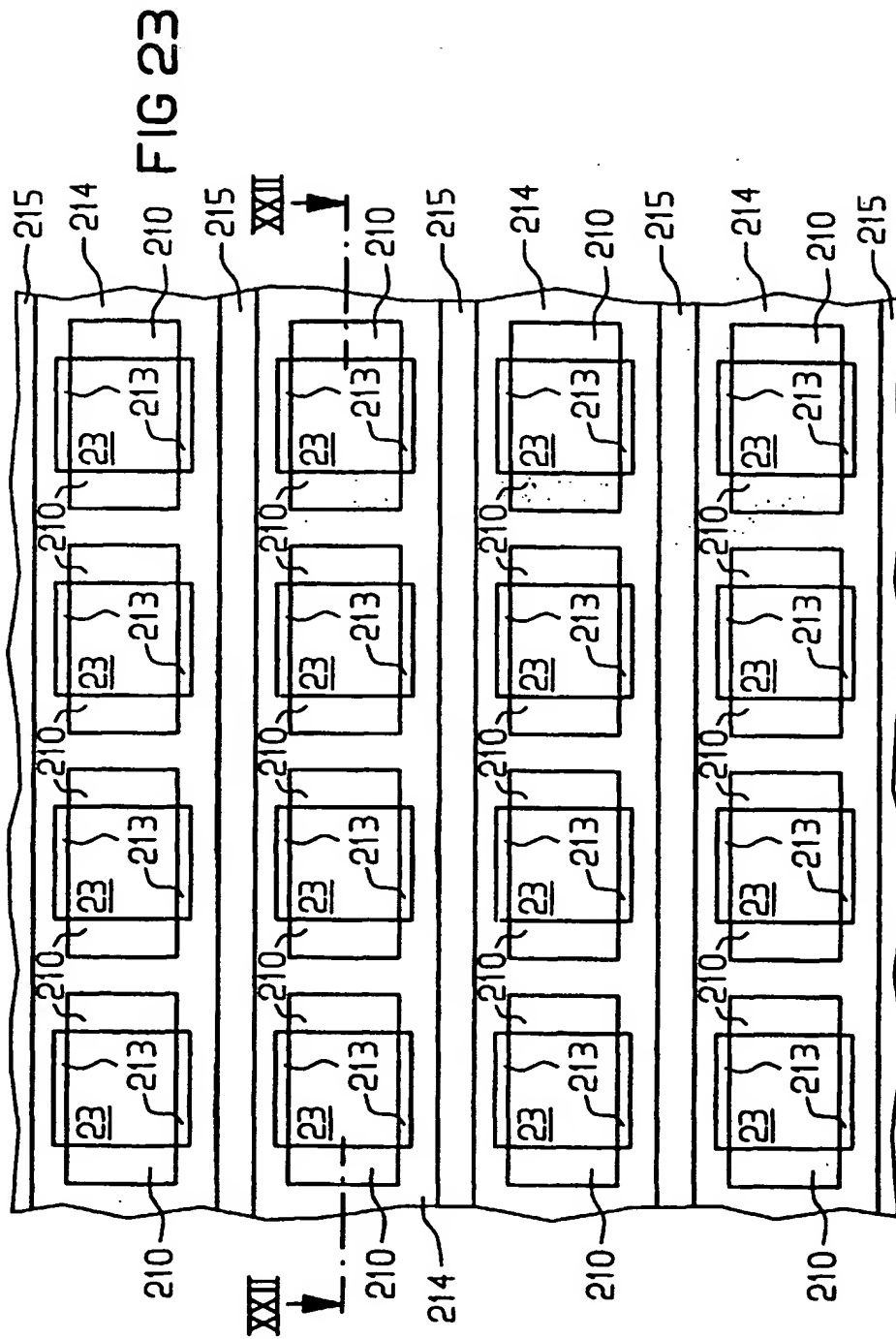


FIG 24

